

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317748

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H04L 12/28 G11B 20/10
H04L 5/22 H04L 12/40
H04N 7/24 // H04L 7/00

(21)Application number : 10-140479

(71)Applicant PIONEER ELECTRON CORP
:

(22)Date of filing : 07.05.1998

(72)Inventor : MATSUMARU MAKOTO
MINOJIMA KUNIHIRO
USUHA HIDEMI
MURAKOSHI TAKA
ONO KINYA
HASEBE SEIICHI

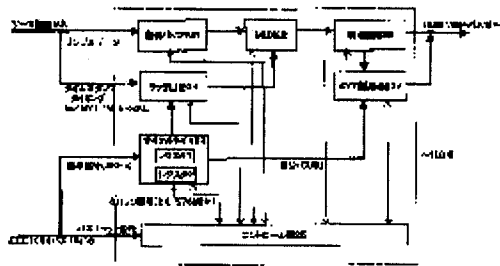
(54) TRANSMISSION INTERFACE DEVICE FOR TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device for correcting data into current data and sending it if the data to be transmitted becomes past data before the reference time of transmission on a transmitter side for some reason such as a change in the reference time and malfunction.

SOLUTION: This transmission interface device for transmission system which performs time-division transmission of data packets, formed by dividing time-series data into data groups and adding regeneration specification time specifying the time when respective data in the data groups should be regenerated to the data group, onto a transmission bus, is provided with a cycle timer 23 which counts the reference time of its machine according to the reference time on the transmission bus, a generating means which generates regeneration specification time data, an adding means which divides and packets the time-series data in data groups and adds the regeneration specification time data to the packeted

data, and a rewriting means which rewrites the regeneration specification time data. When the reference time on the transmission bus changes, the regeneration specification time data added to the packeted data is rewritten by the rewriting means before the reference time on the transmission bus changes.



JP11317748A2 Family Legal Status Report - 2 members found

Codes shown: **All** | [Positive](#) | [Negative](#)

Jump	<u>Publication</u>	Title	Filed	ApplNo
	US6633578	Transmission interface unit in transmission system	1999-04-30	US1999000302489
	JP11317748A2	TRANSMISSION INTERFACE DEVICE FOR TRANSMISSION SYSTEM	1998-05-07	JP1998000140479

No legal status data was found for any members of the family.

© 1997-2007 Thomson



US006633578B1

(12) **United States Patent**
Matsumaru et al.

(10) **Patent No.:** **US 6,633,578 B1**
(45) Date of Patent: **Oct. 14, 2003**

(54) **TRANSMISSION INTERFACE UNIT IN
TRANSMISSION SYSTEM**

6,405,275 B1 * 6/2002 Morrow et al. 710/305
2002/0015400 A1 * 2/2002 Morinaga et al. 370/345

(75) Inventors: **Makoto Matsumaru**, Saitama (JP);
Kunihiro Minoshima, Saitama (JP);
Hidemi Usuba, Saitama (JP); **Sho**
Murakoshi, Saitama (JP); **Kinya Ono**,
Saitama (JP); **Seiichi Hasebe**, Saitama
(JP)

FOREIGN PATENT DOCUMENTS

JP 10-032603 2/1998

OTHER PUBLICATIONS

"IEEE Standard for a High Performance Serial Bus";
Author: Microprocessor and Microcomputer Standards
Committee of the IEEE Computer Society; published—
1996.

(73) Assignee: **Pioneer Electronic Corporation**,
Tokyo (JP)

(*) Notice: Subject to any disclaimer, the term of this
patent is extended or adjusted under 35
U.S.C. 154(b) by 0 days.

* cited by examiner

Primary Examiner—Hassan Kizou

Assistant Examiner—Saba Tsegaye

(74) *Attorney, Agent, or Firm*—Sughrue Mion, PLLC

(21) Appl. No.: **09/302,489**

(22) Filed: **Apr. 30, 1999**

(30) Foreign Application Priority Data

May 7, 1998 (JP) 10-140479

(51) Int. Cl.⁷ **H04L 12/40**; G06F 13/00

(52) U.S. Cl. **370/419**; 370/489; 710/104;
710/305

(58) Field of Search 370/419, 489,
370/508, 509; 710/305, 104

(56) References Cited

U.S. PATENT DOCUMENTS

4,894,823 A * 1/1990 Adelman et al. 370/216
5,699,519 A * 12/1997 Shiobara 709/235
6,034,732 A * 3/2000 Hirota et al. 348/441
6,061,411 A * 5/2000 Wooten 375/372
6,115,537 A * 9/2000 Yamada et al. 386/109
6,122,248 A * 9/2000 Murakoshi et al. 370/216
6,347,119 B2 * 2/2002 Matsumura et al. ... 375/240.28
6,373,821 B2 * 4/2002 Staats 370/252

(57) ABSTRACT

A transmission interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner. The reception interface unit has a cycle timer for counting the reference time of the home machine based on the reference time on the transmission bus, a generation section for generating the reproduction specification time data, an addition section for dividing the time series data into data groups, putting into packets, and adding the reproduction specification time data to the data in the packets, and a rewrite section for rewriting the reproduction specification time data. When the reference time on the transmission bus changes, the rewrite section rewrites the reproduction specification time data added to the data put into a packet before the reference time on the transmission bus changes.

12 Claims, 27 Drawing Sheets

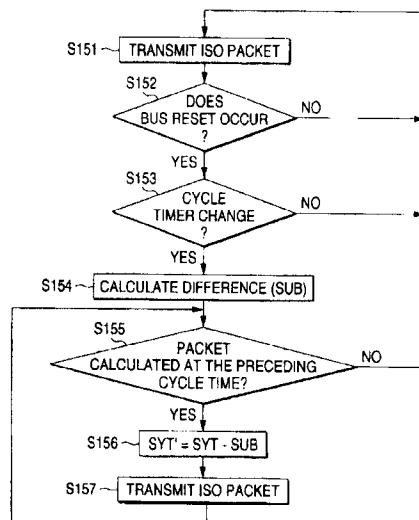


FIG. 1

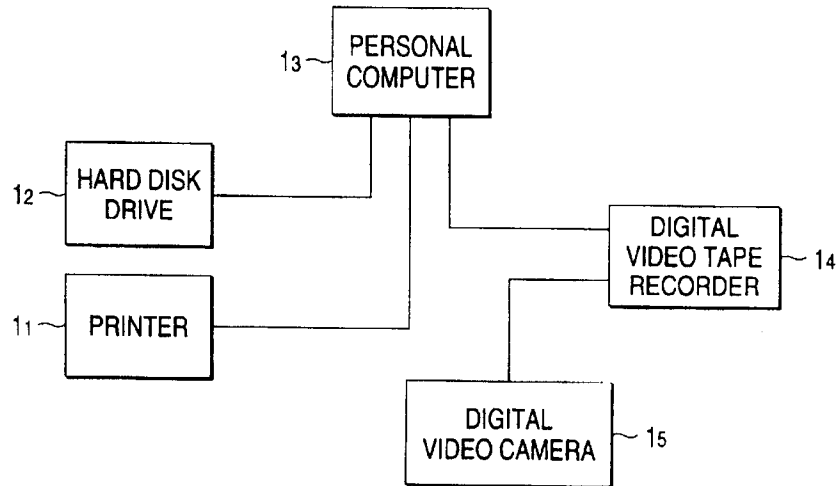


FIG. 2

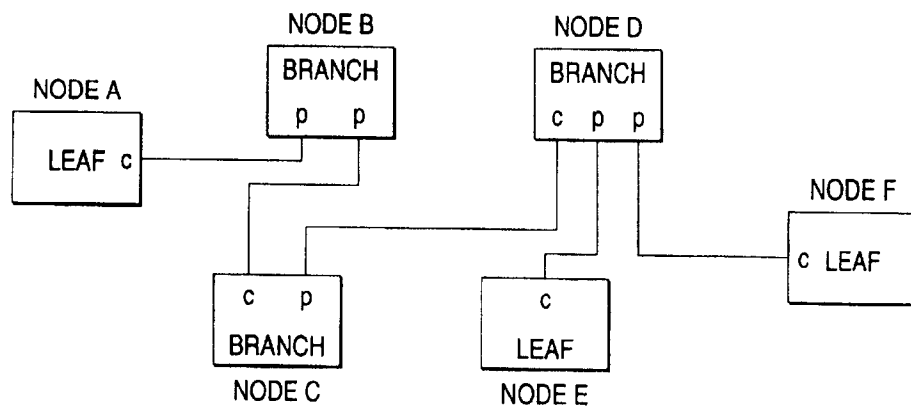


FIG. 3

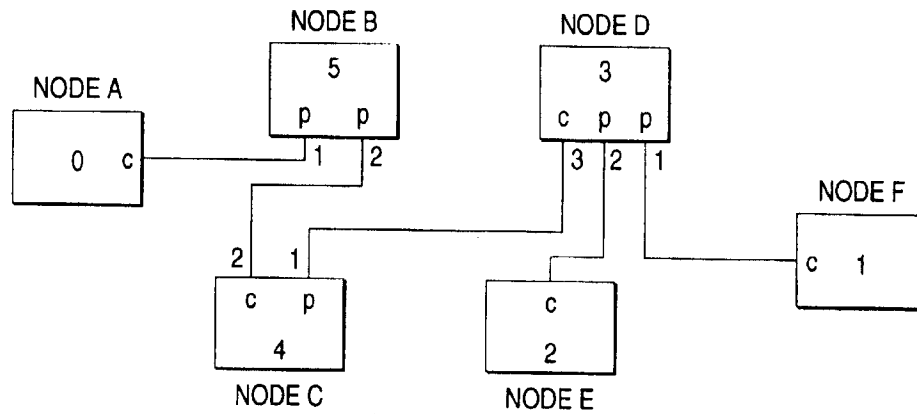


FIG. 4

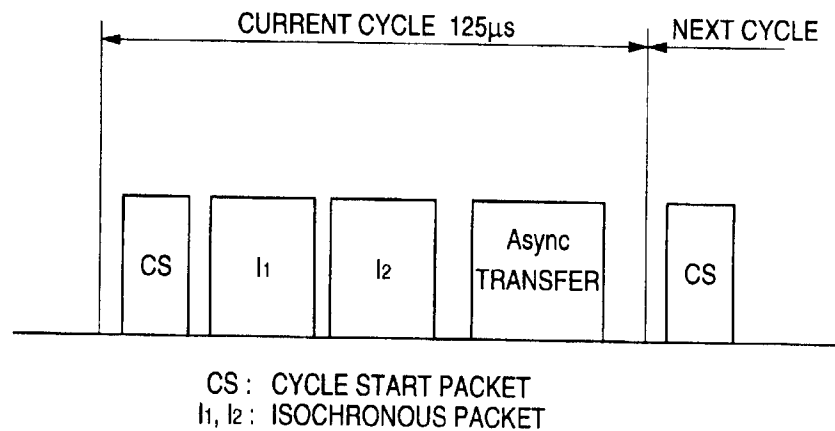


FIG. 5

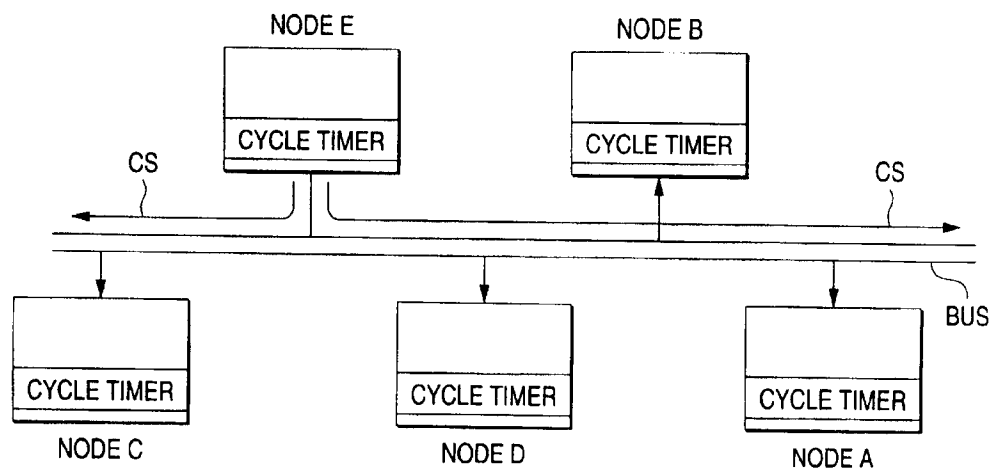


FIG. 6

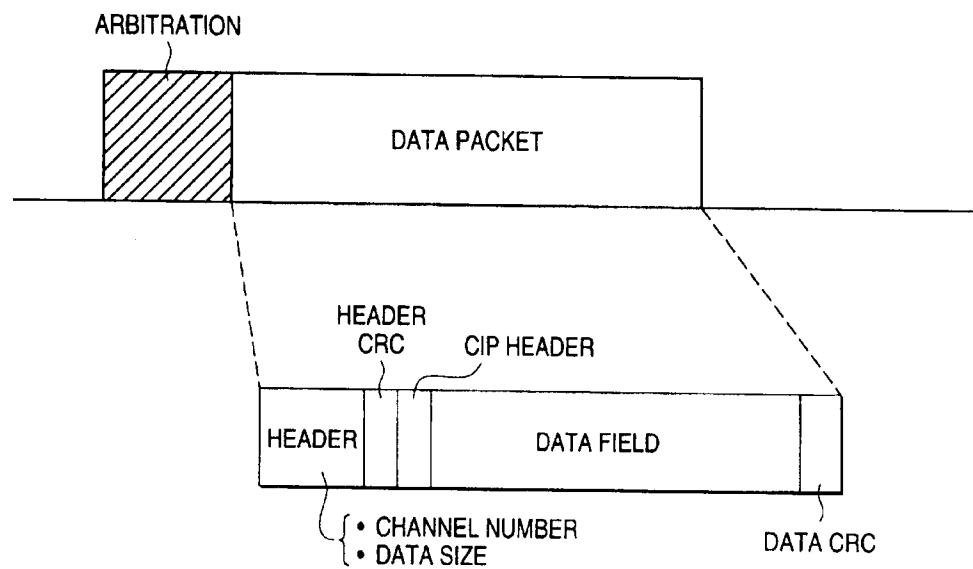


FIG. 7

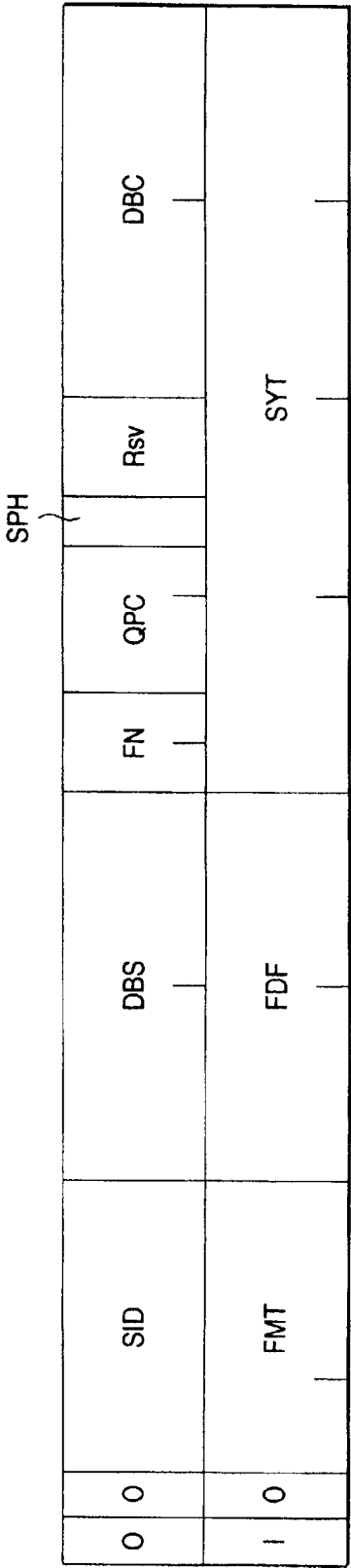


FIG. 8

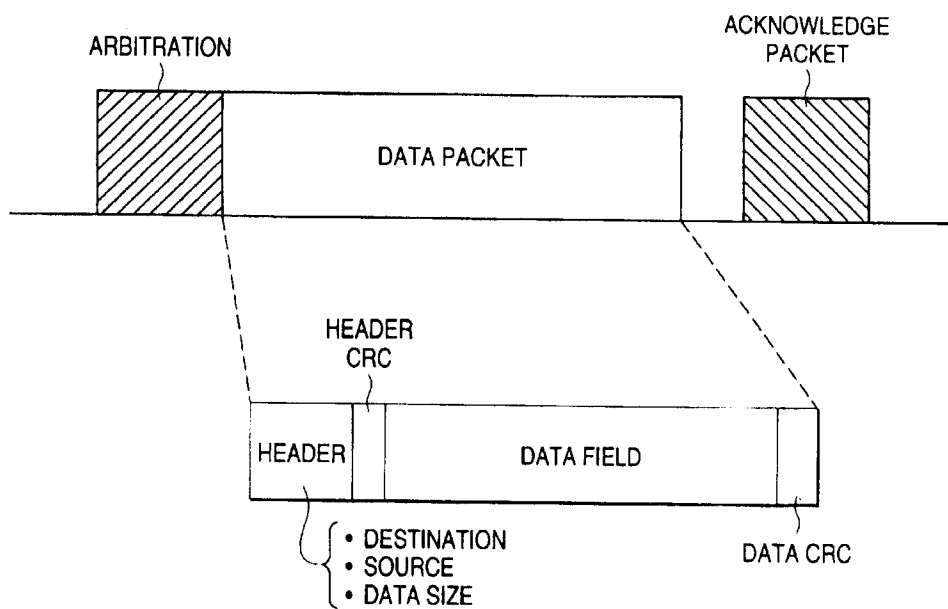


FIG. 9

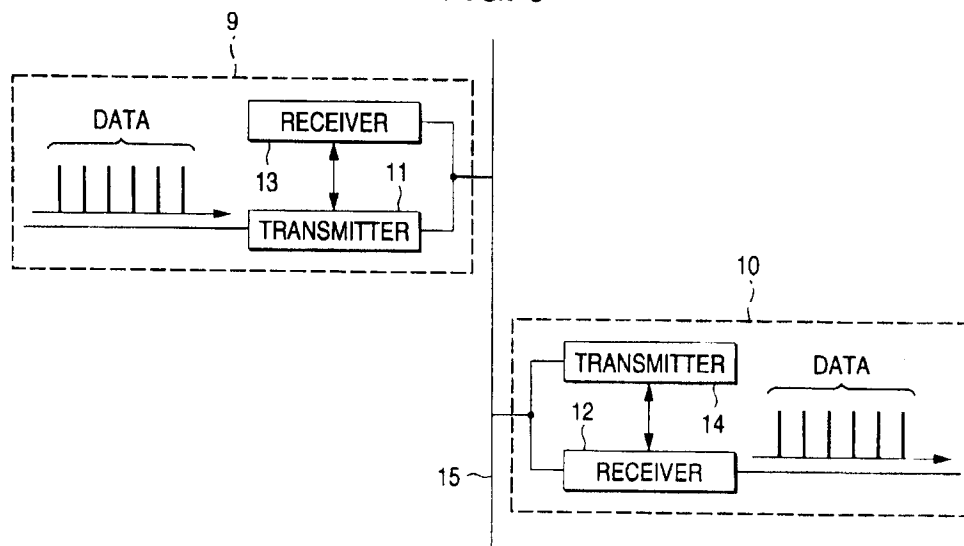


FIG. 10

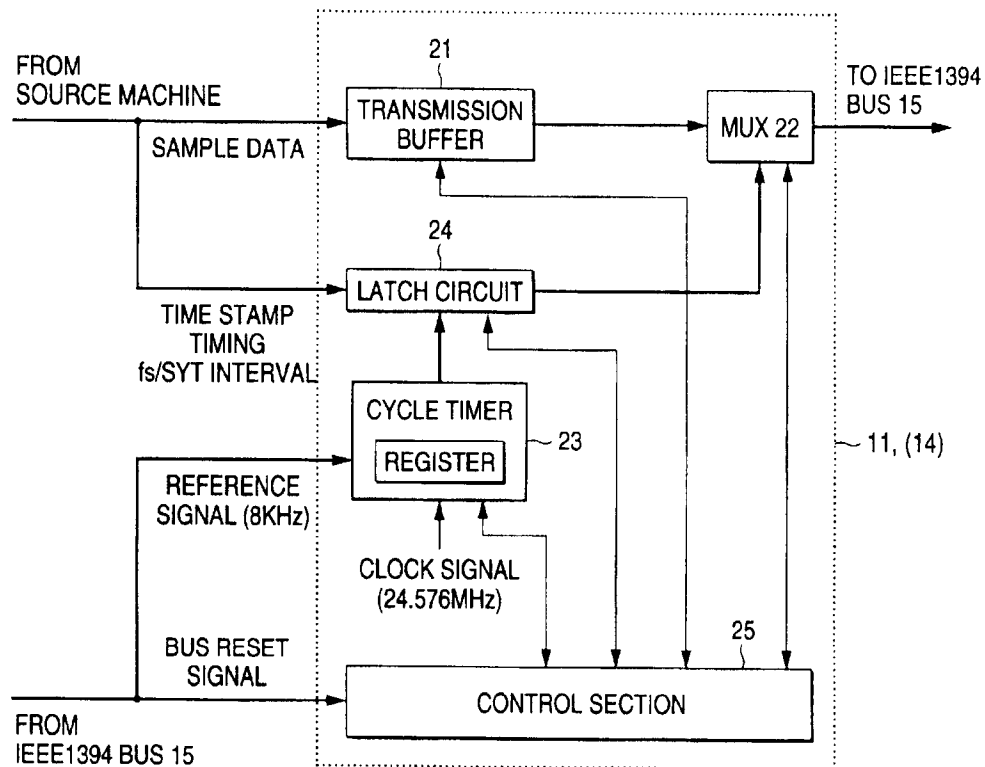
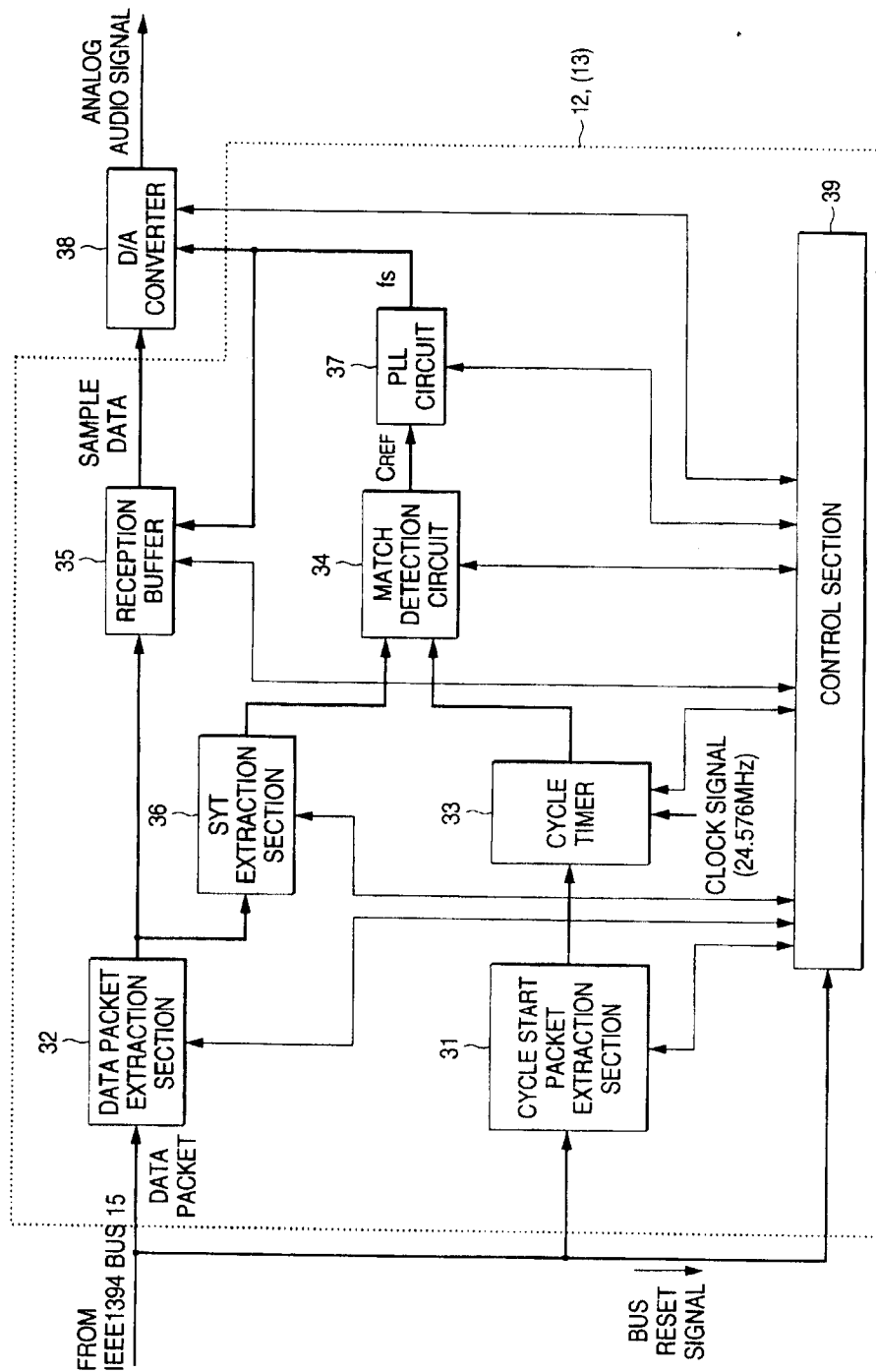


FIG. 11



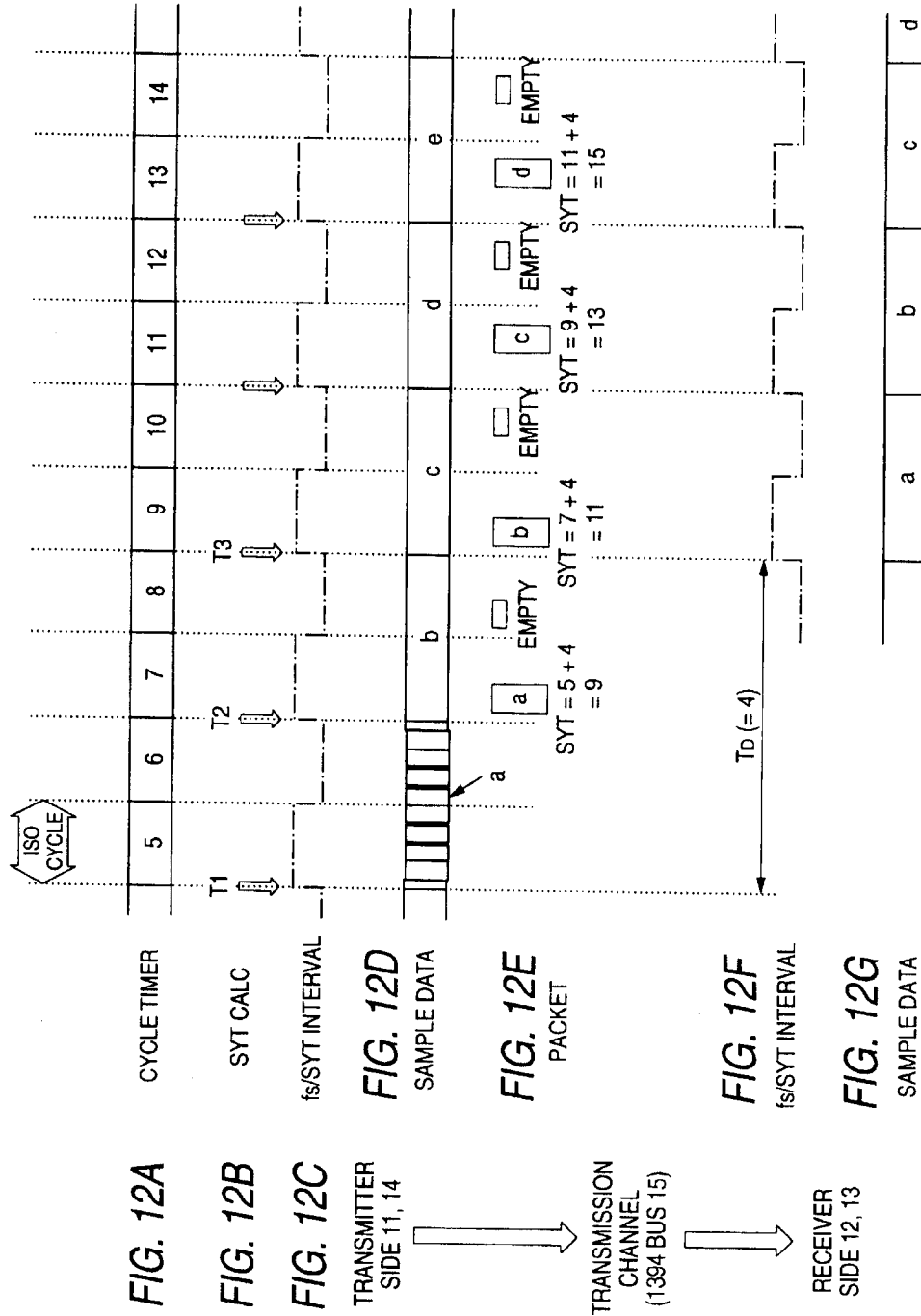
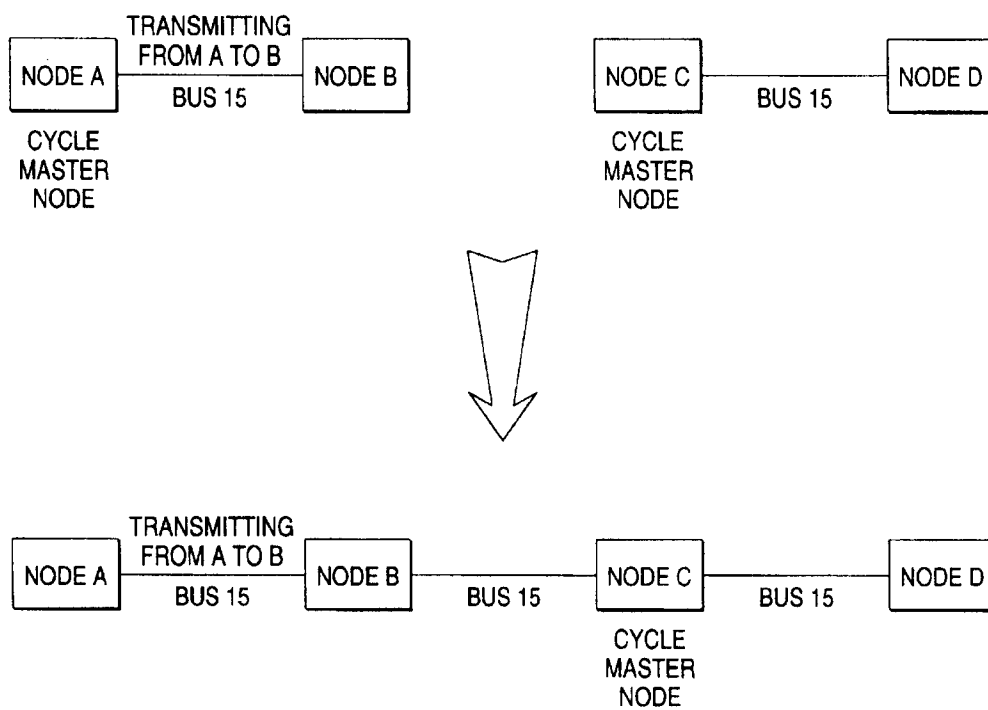


FIG. 13



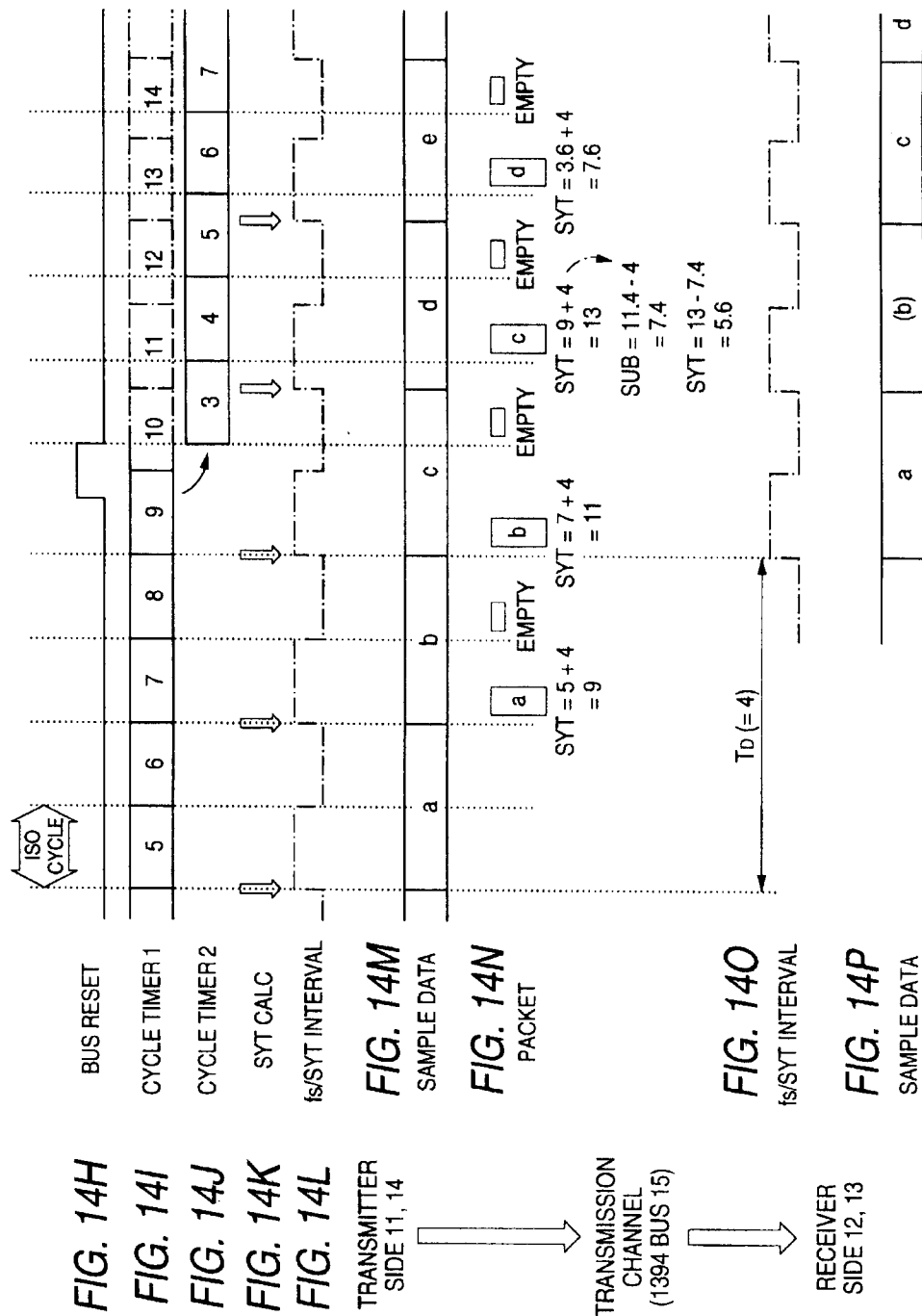


FIG. 15

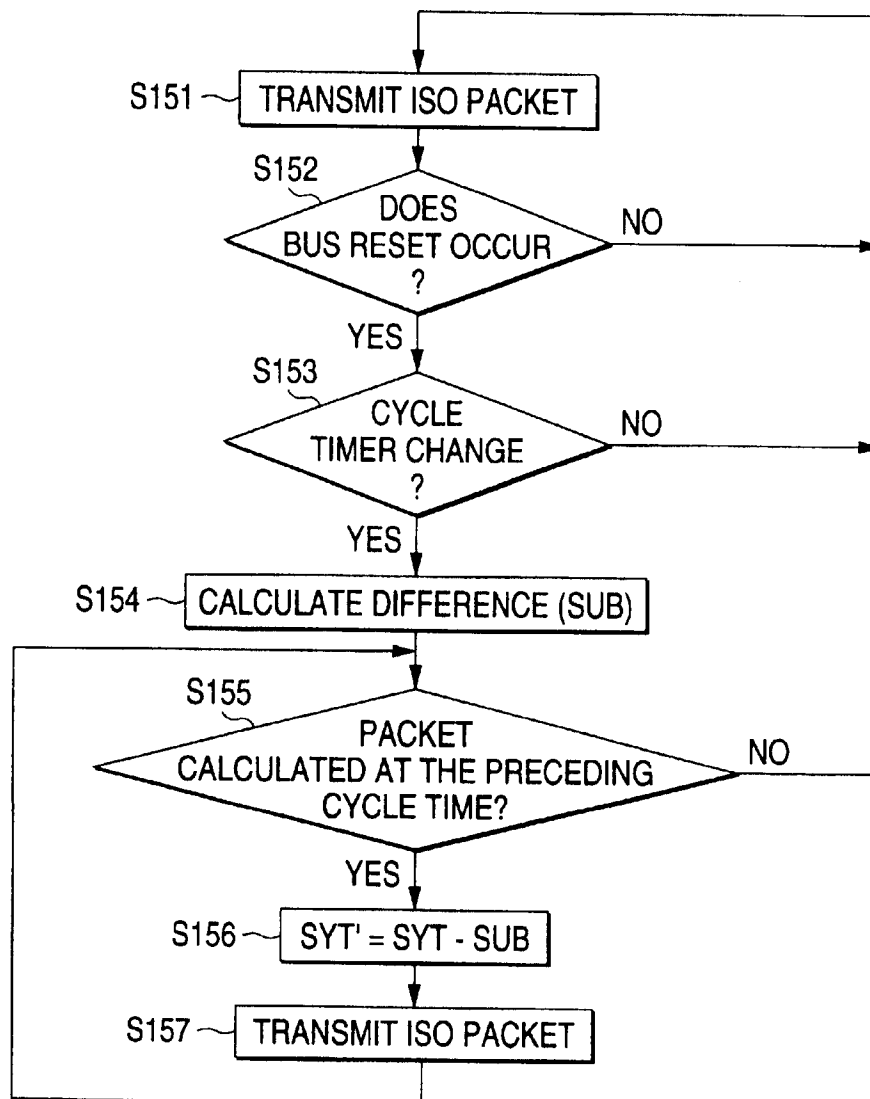


FIG. 16

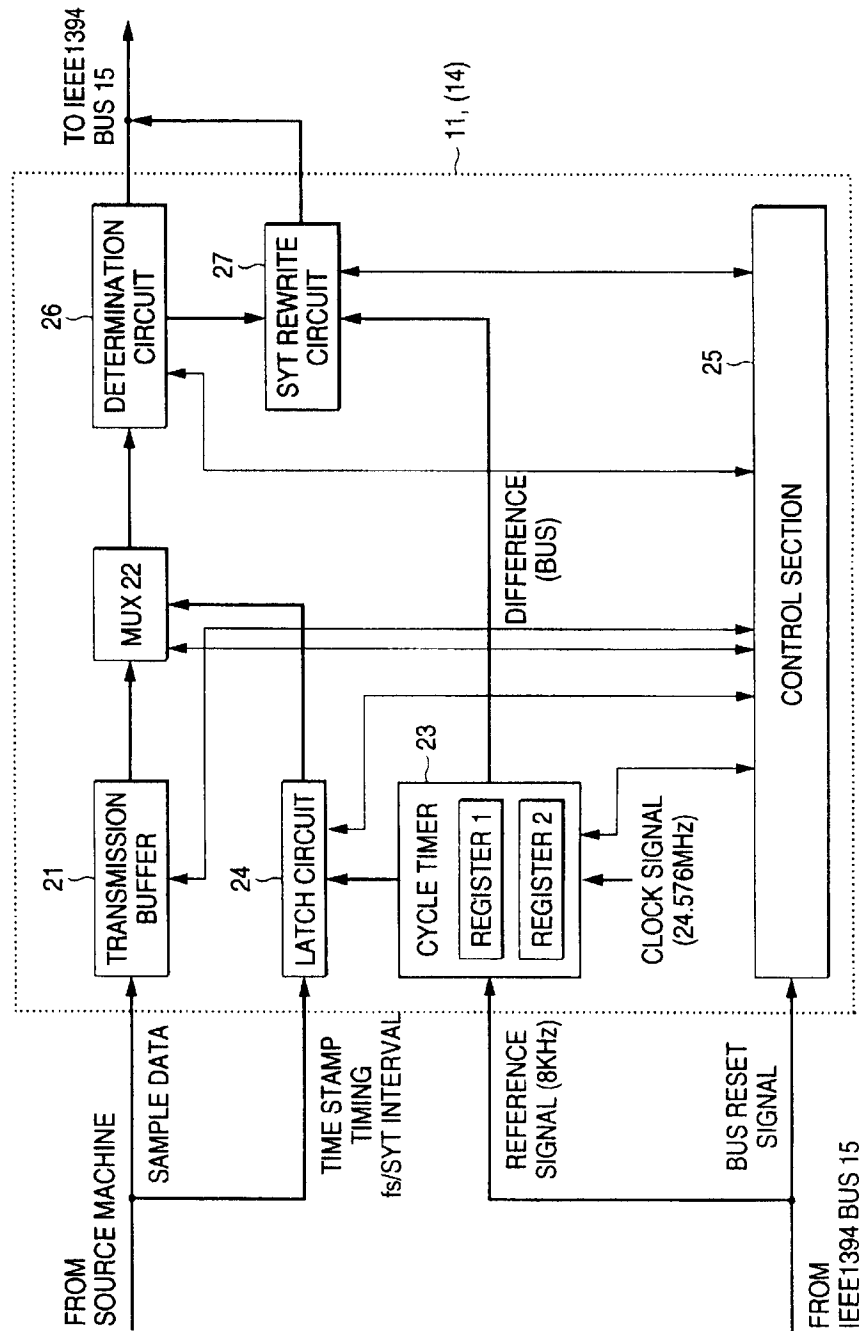


FIG. 17

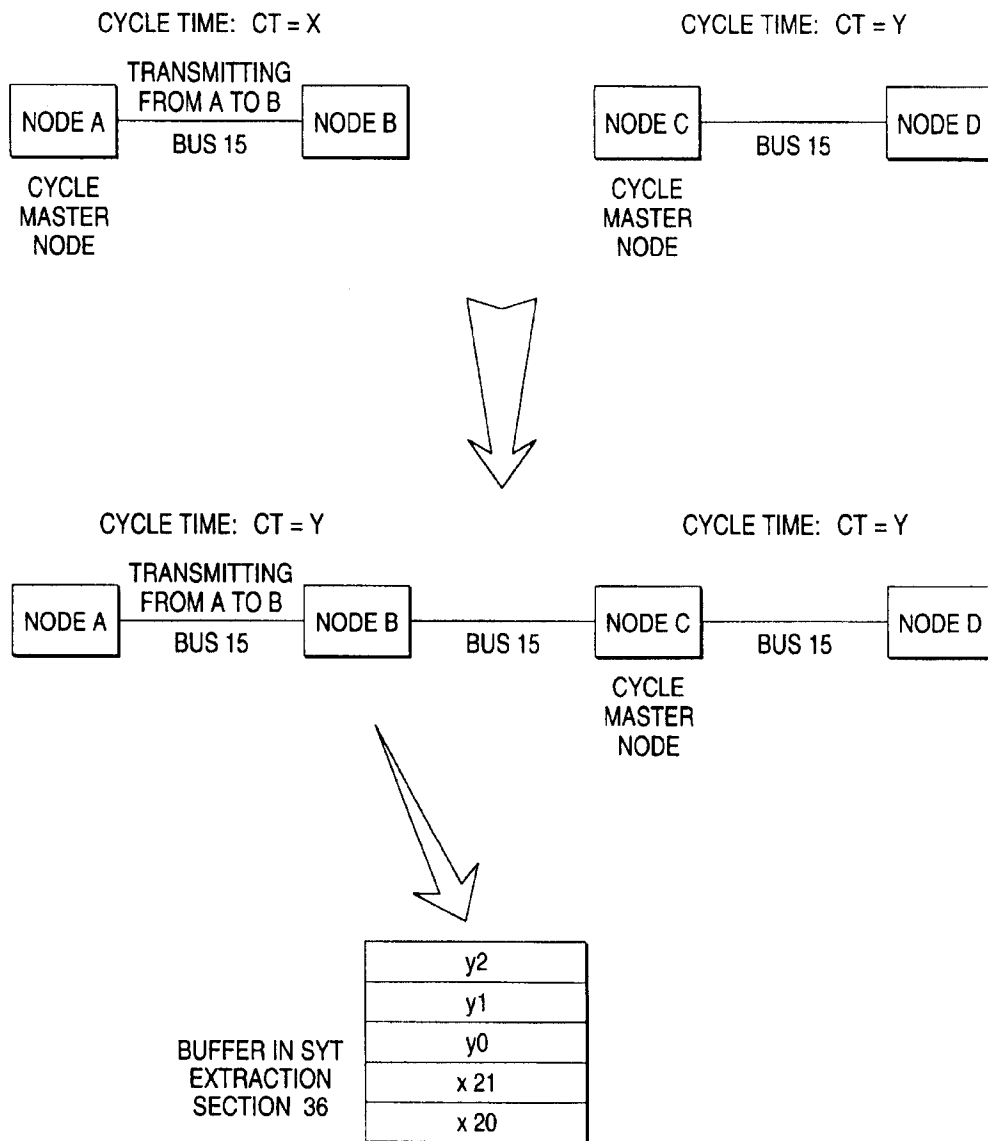


FIG. 18A

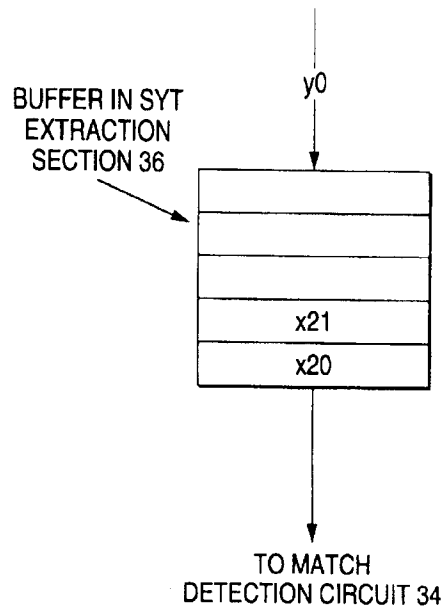


FIG. 18B

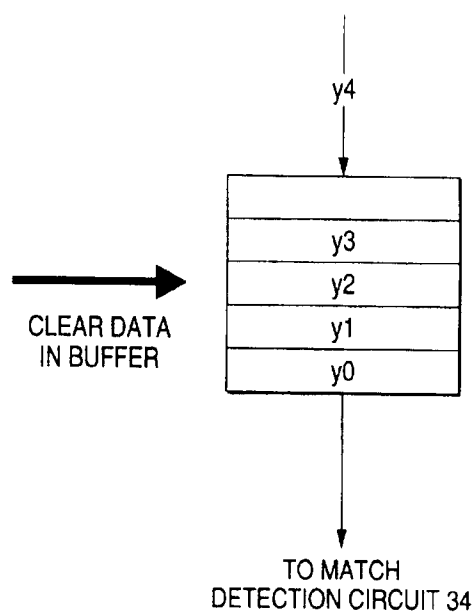


FIG. 19

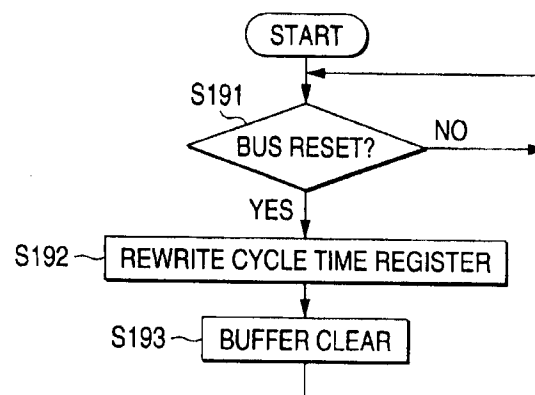
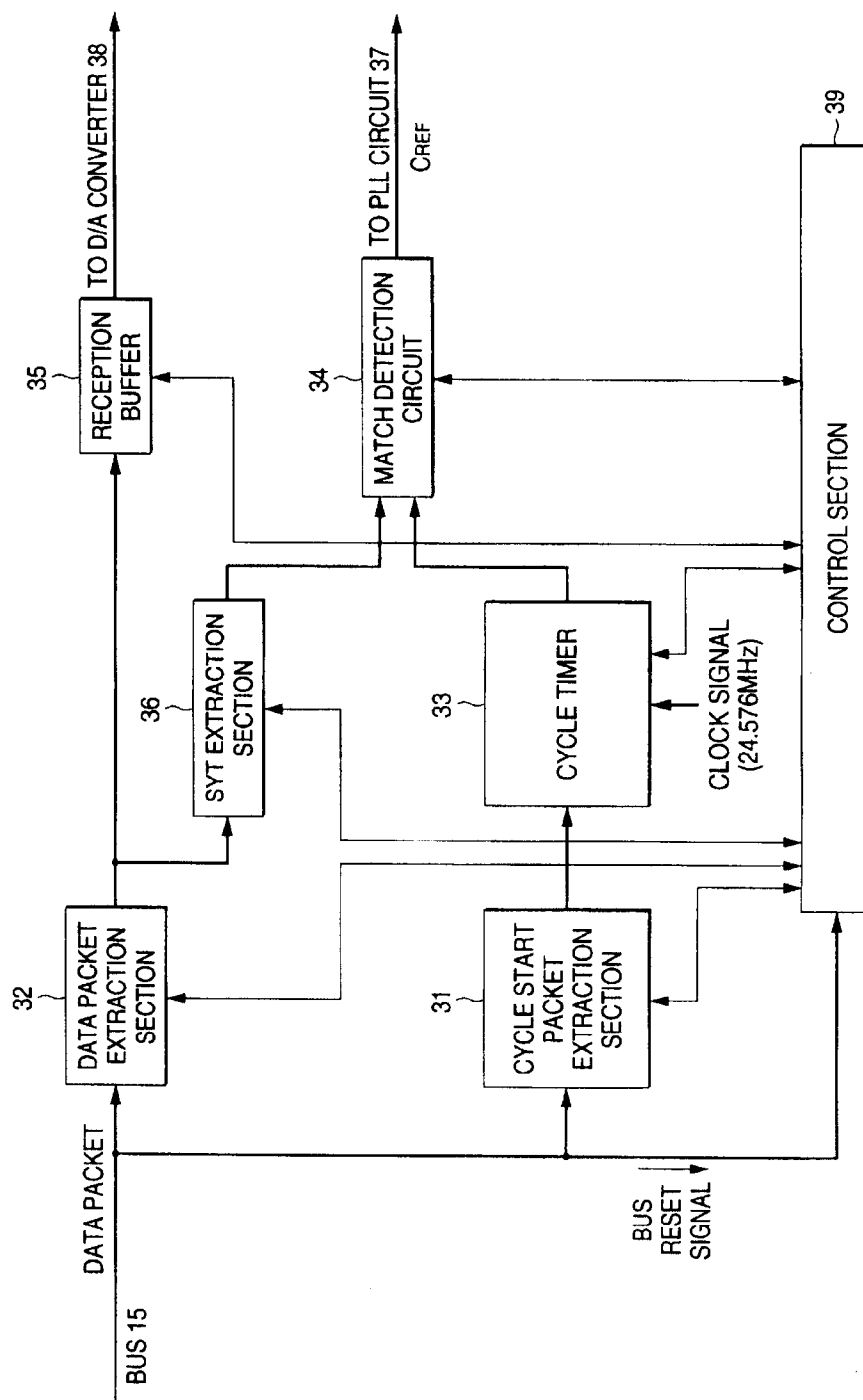


FIG. 20



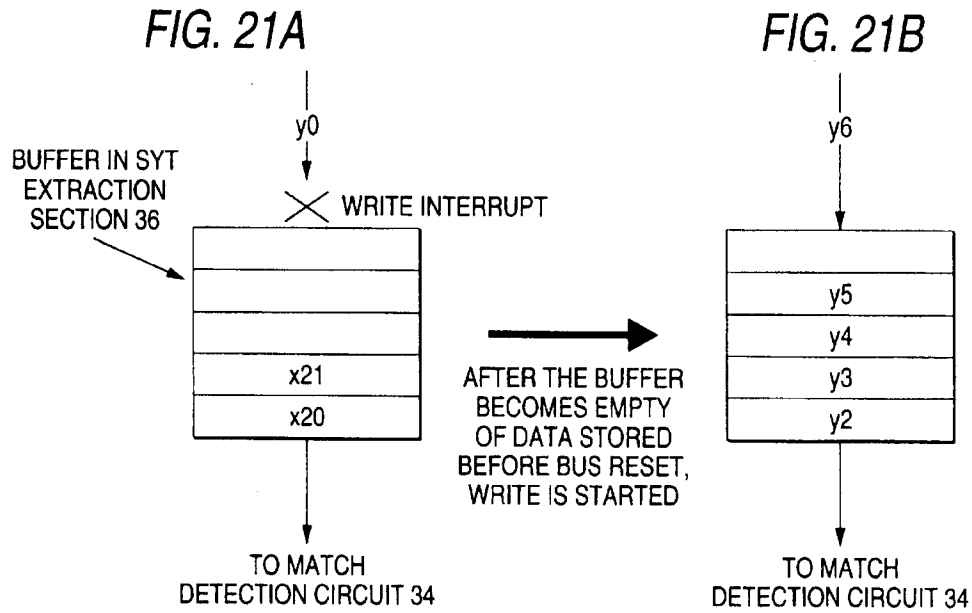
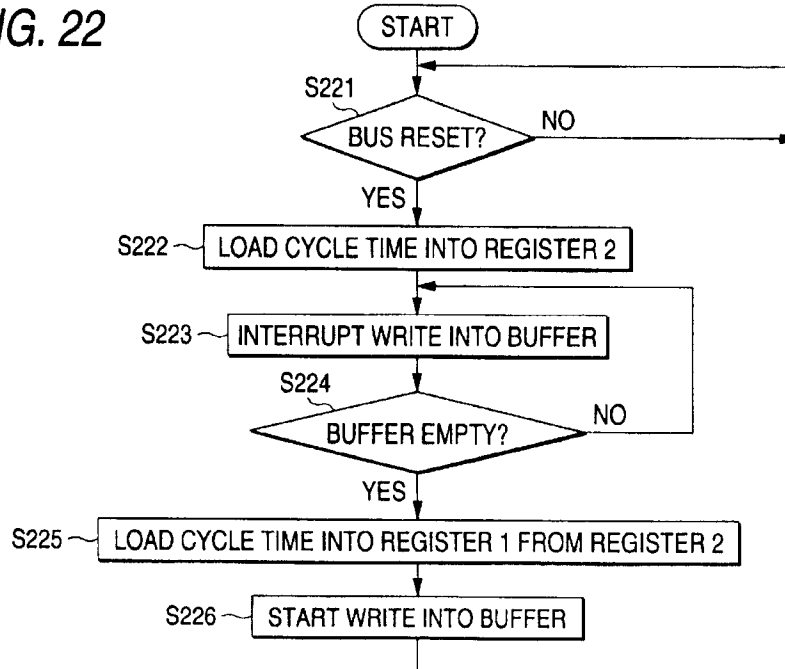
**FIG. 22**

FIG. 23

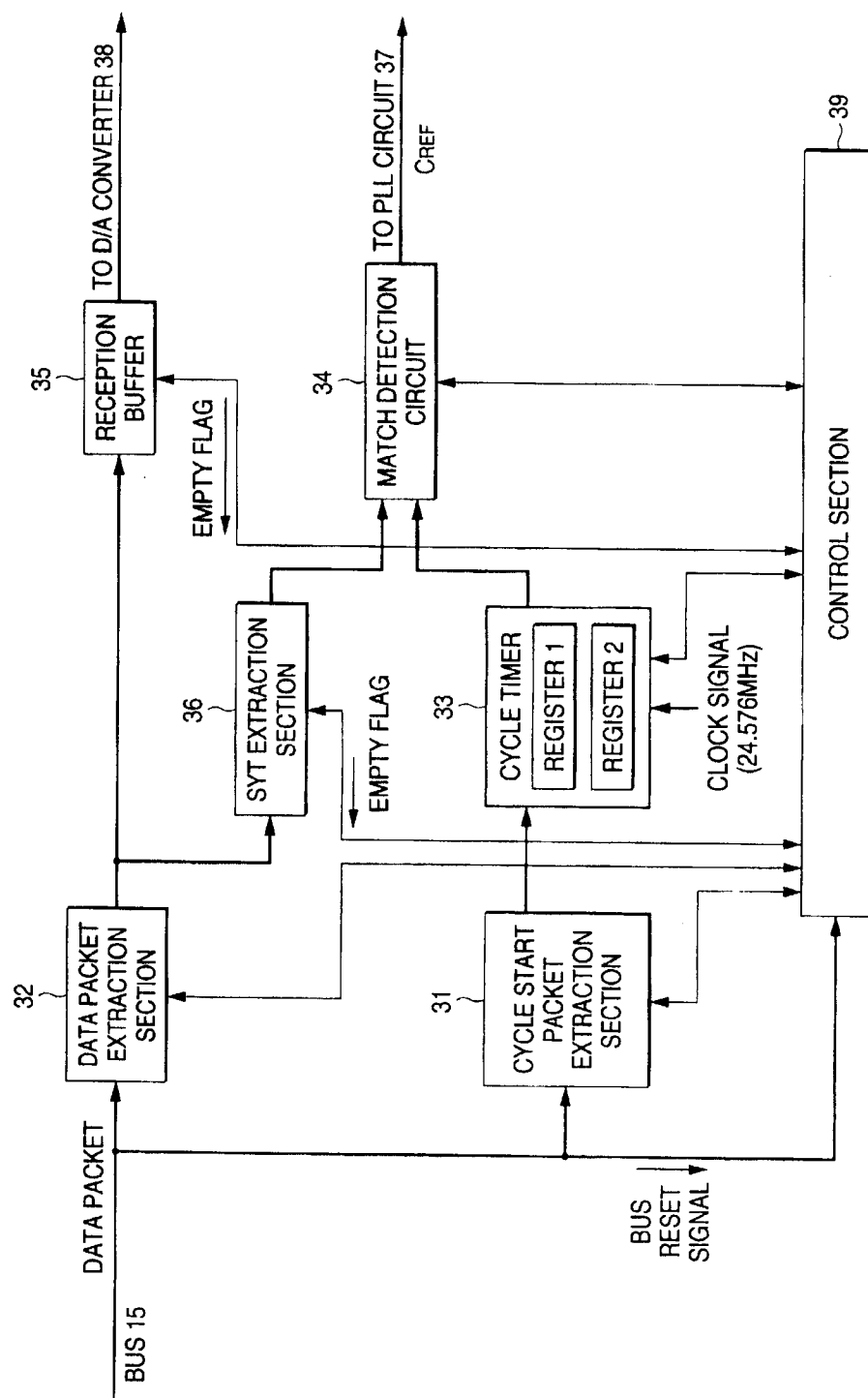


FIG. 24A

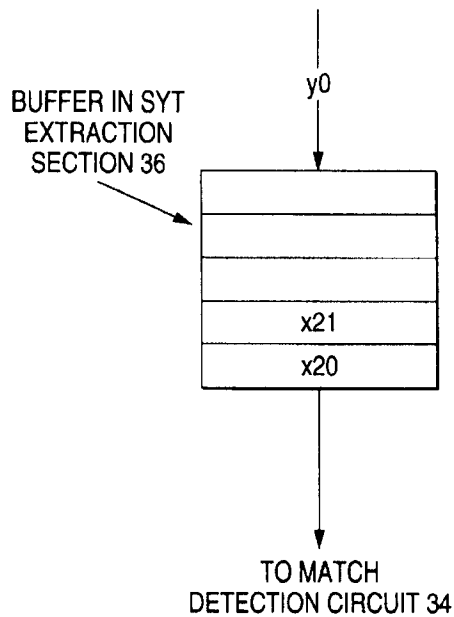


FIG. 24B

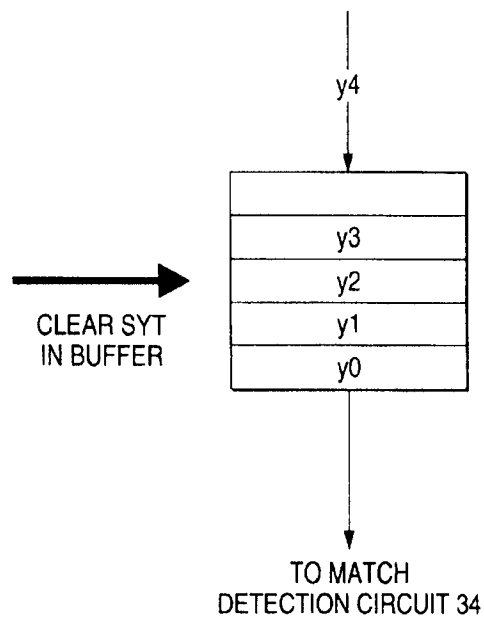


FIG. 25

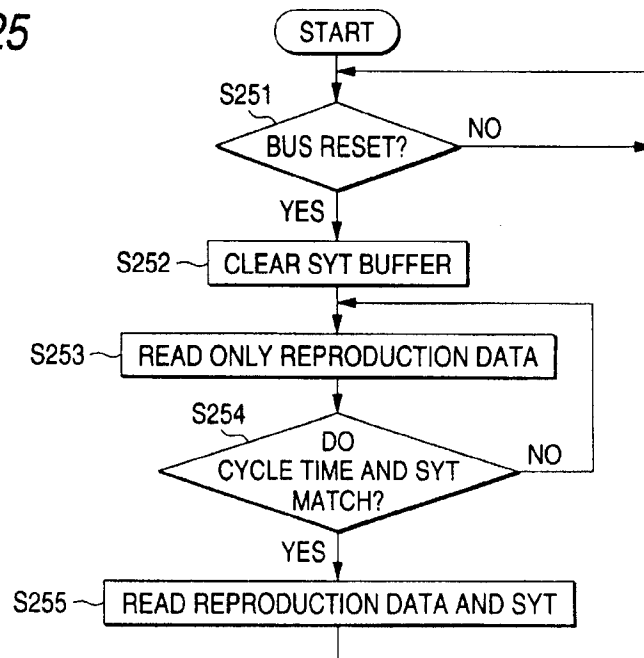


FIG. 26

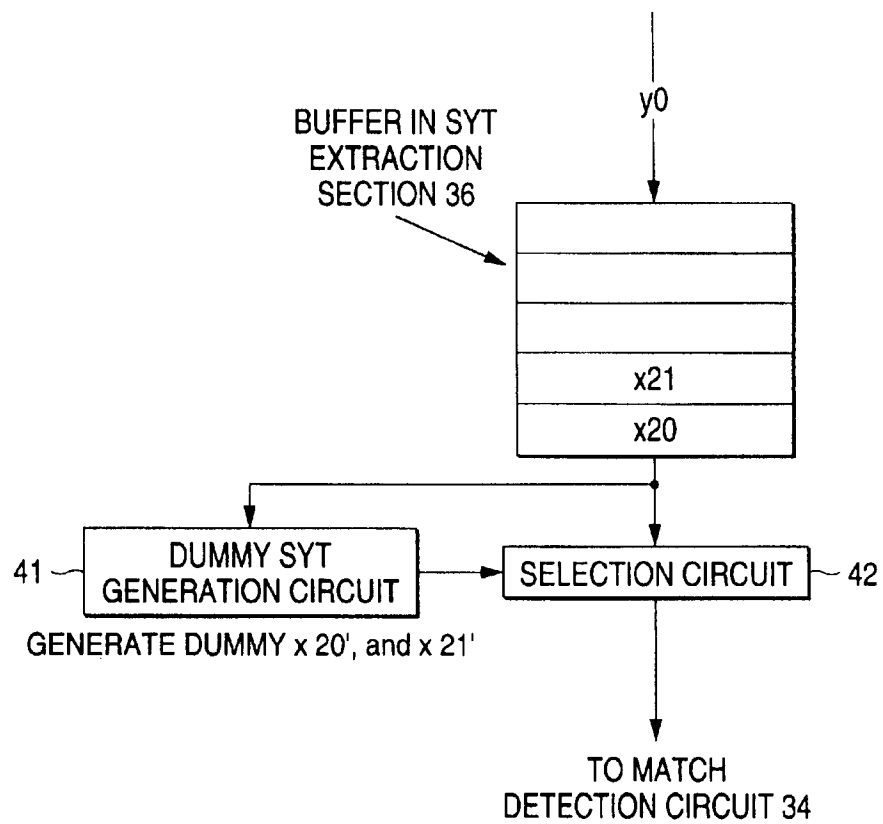


FIG. 27

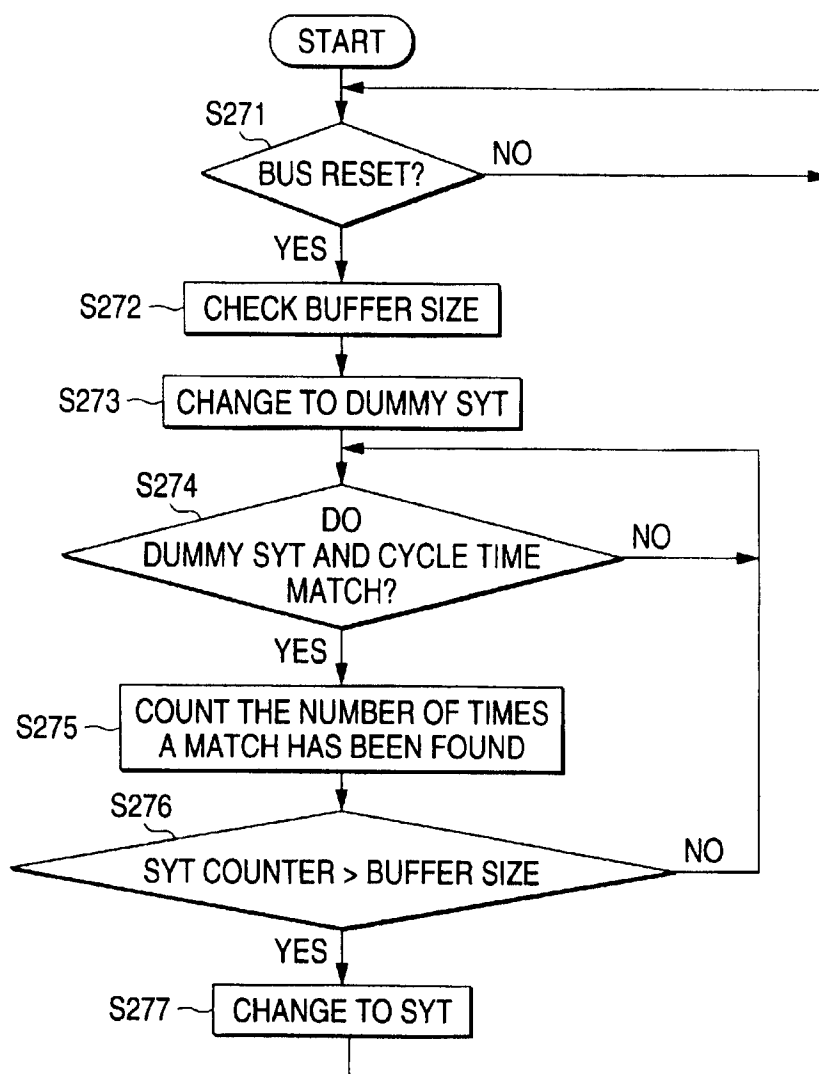


FIG. 28

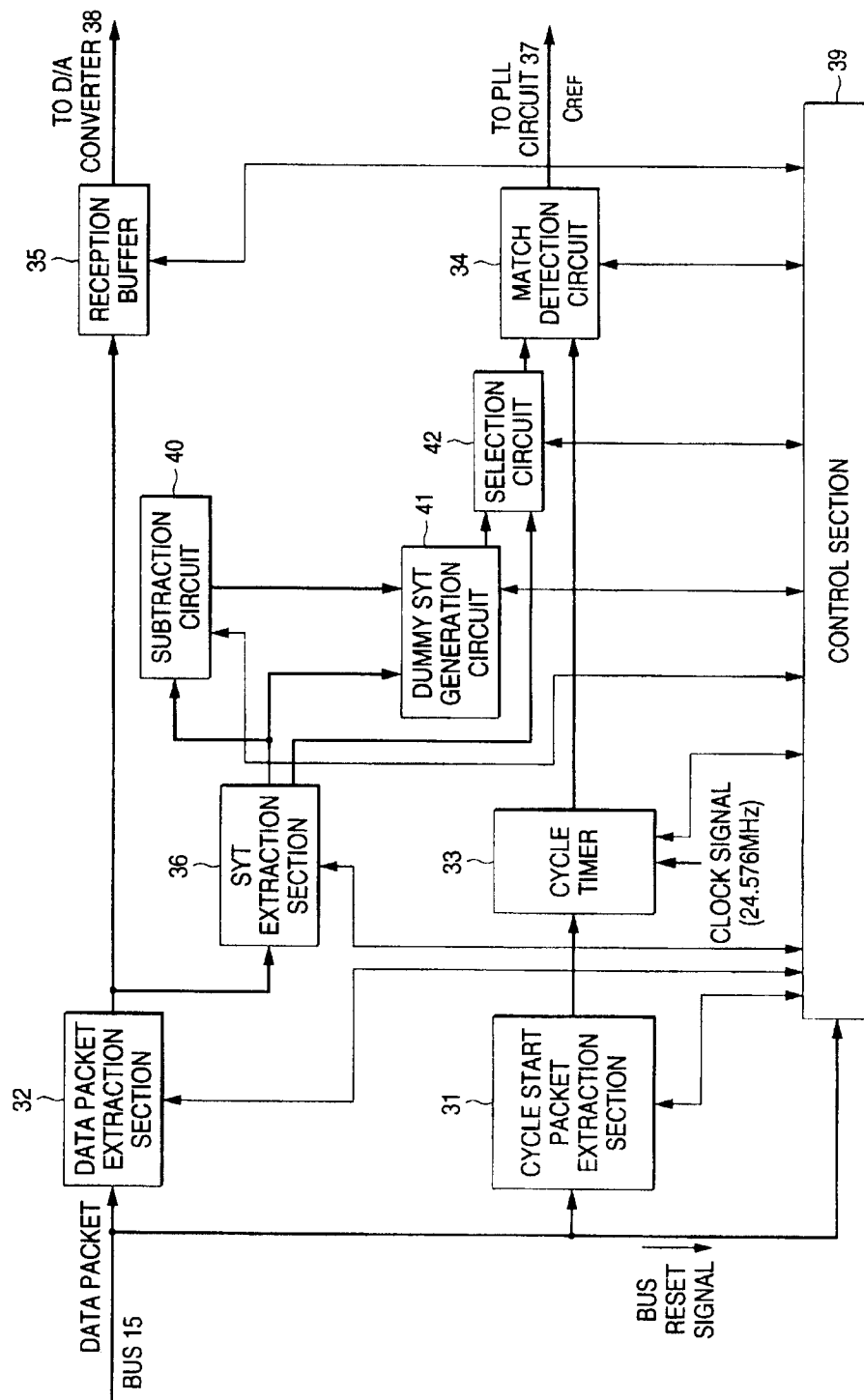


FIG. 29

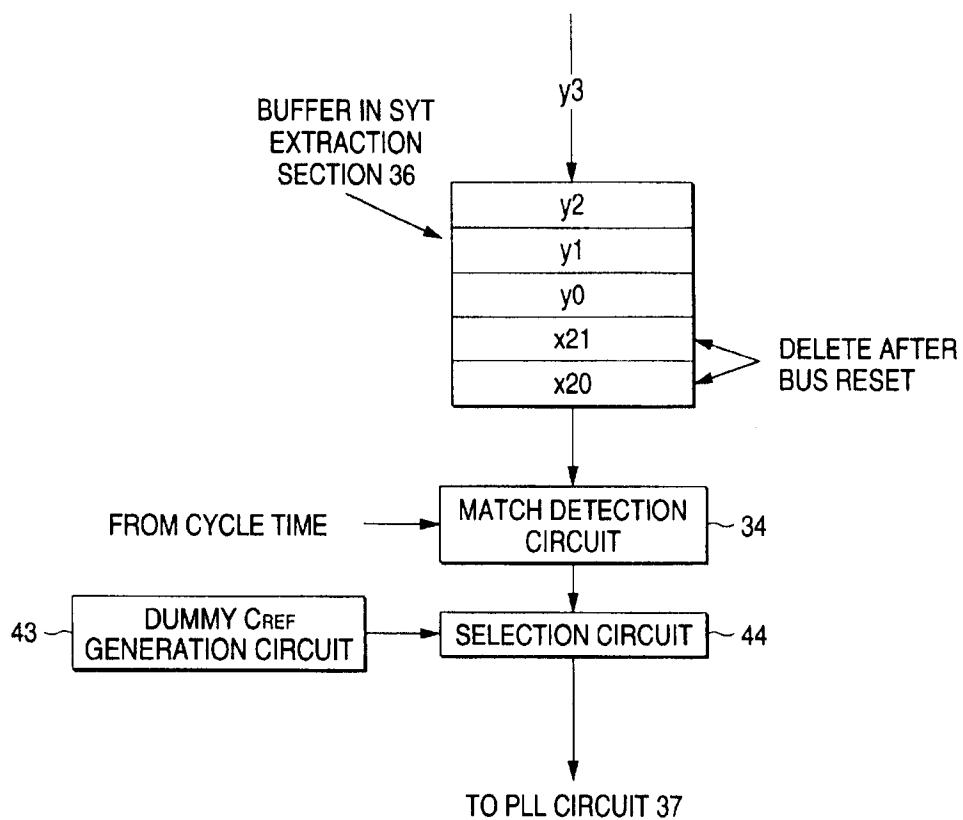


FIG. 30

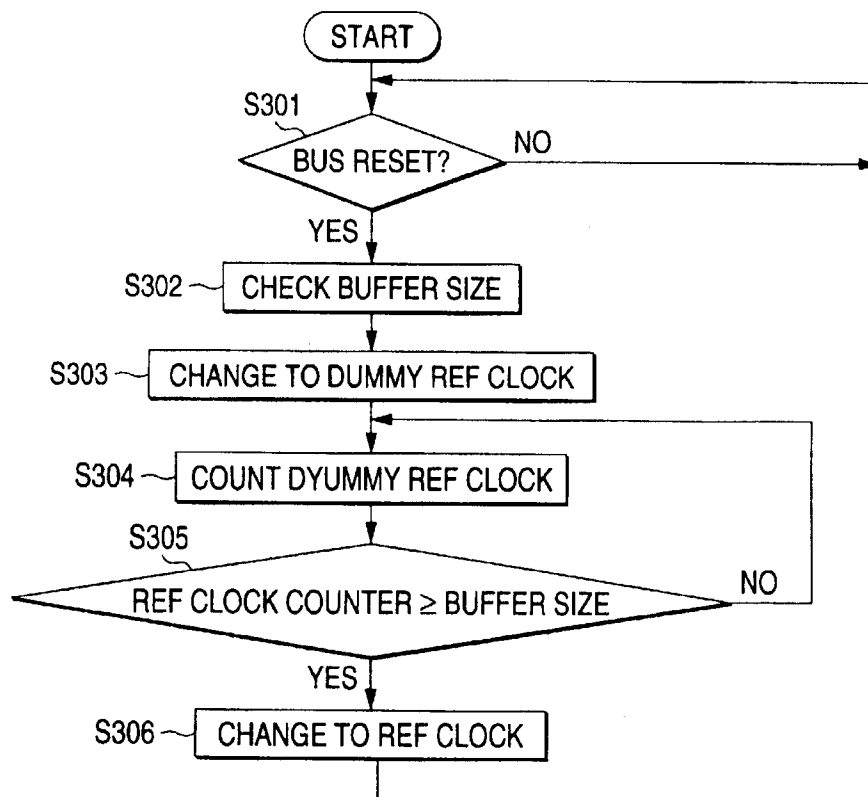


FIG. 31

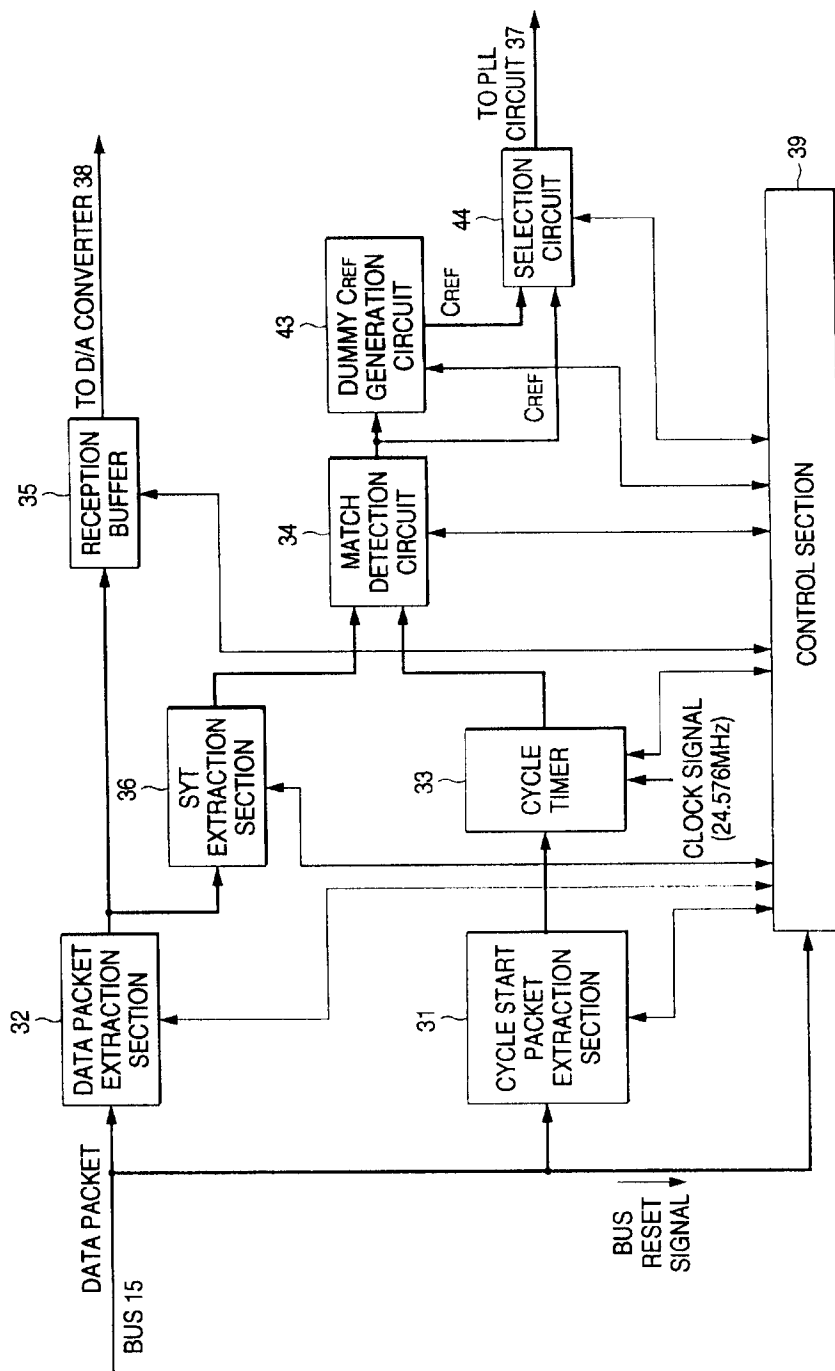
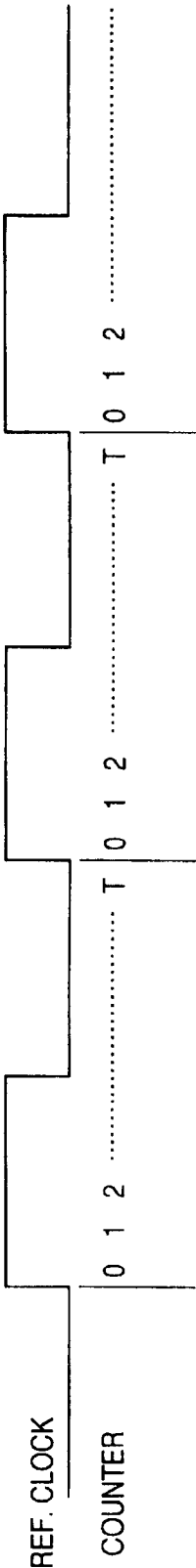


FIG. 32



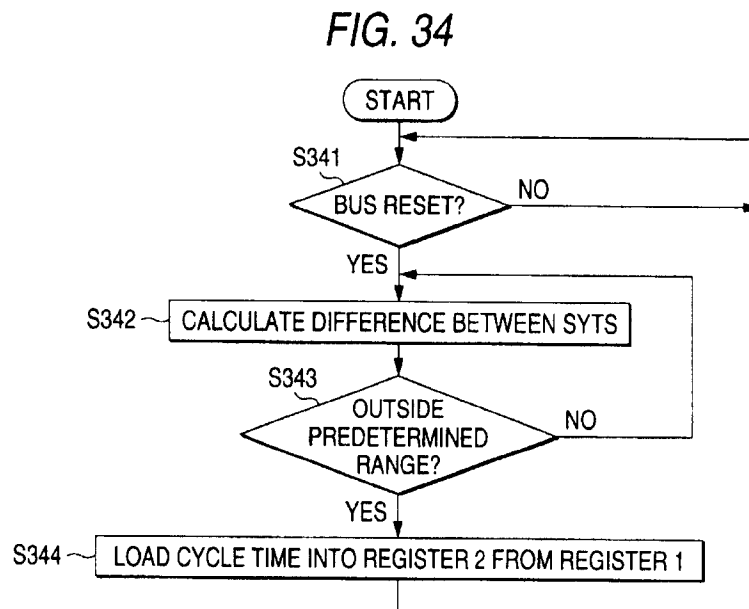
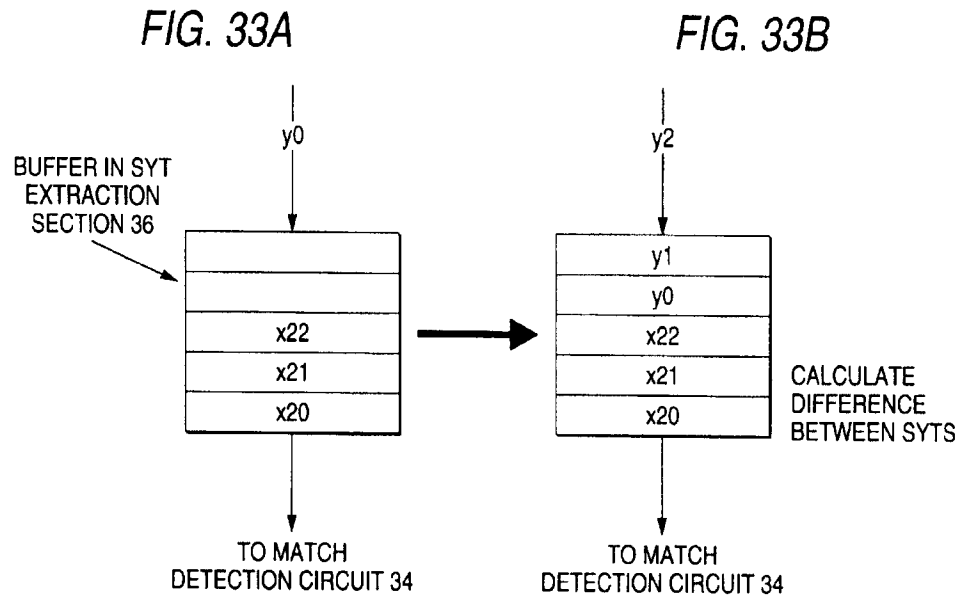
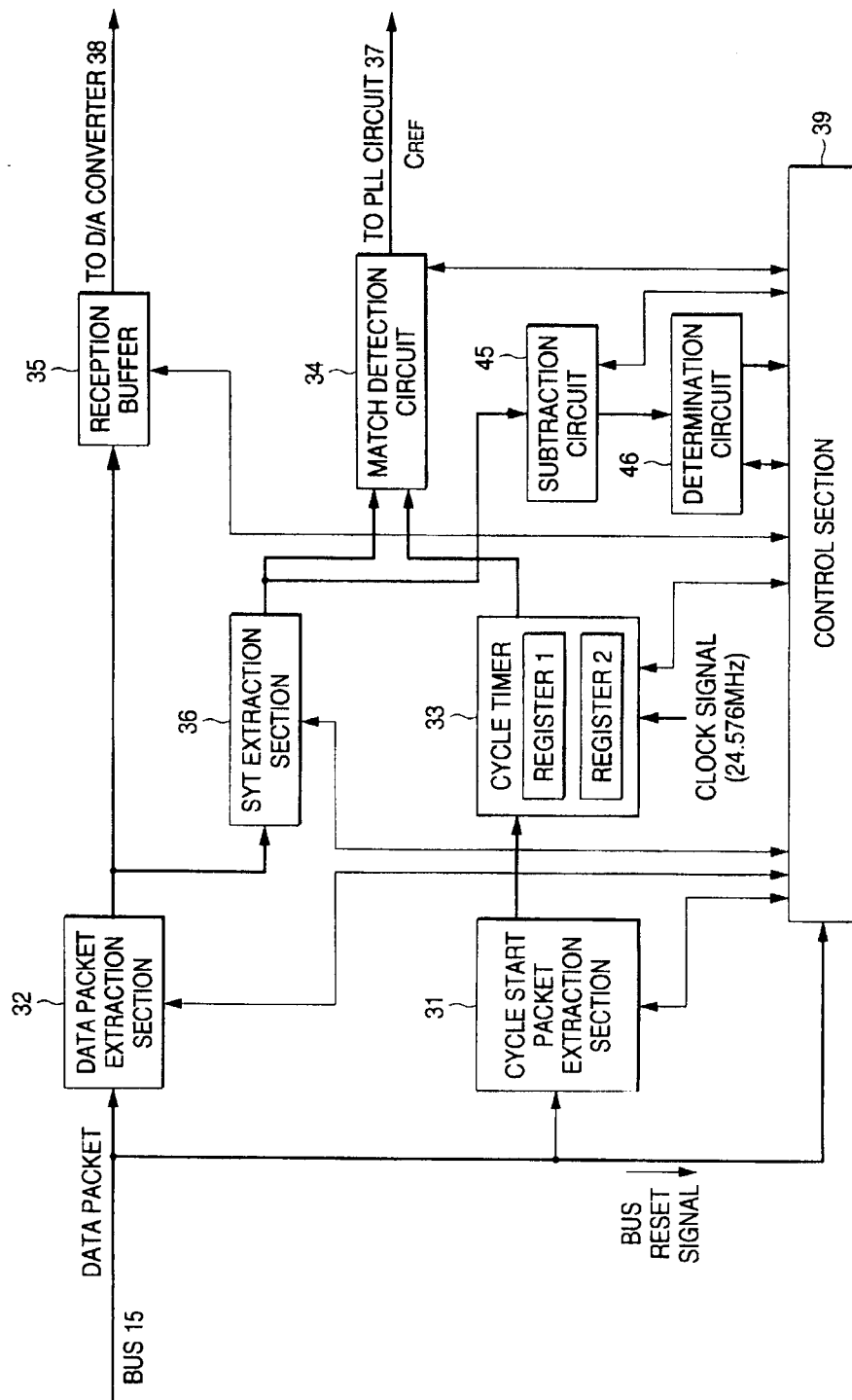


FIG. 35



1

TRANSMISSION INTERFACE UNIT IN TRANSMISSION SYSTEM

BACKGROUND OF THE INVENTION

1. Field of the Invention

This invention relates to a data transfer system for transferring time series digital data in a data packet at high speed.

2. Description of the Related Art

IEEE1394-1995 standard is proposed as an interface standard for putting time series digital data of audio signals, video signals, etc., into a data packet and transferring the data packet at high speed between electric machines such as audio machines, video machines, computers, etc.

However, in a data transfer system based on the IEEE1394-1995 standard, it is conceivable that the data to be transmitted becomes past data from the reference time at the transmission time in a transmitter, for example, because of change in the reference time in the system, a malfunction, etc., and in the party receiving the data, digital data cannot be reproduced at proper timing from the later received data packet over a considerable period of time.

SUMMARY OF THE INVENTION

It is therefore an object of the invention to provide a unit, when the data to be transmitted becomes past data from the reference time because of change in the reference time, a malfunction, etc., the unit for correcting the data to data based on the current time and transmitting the corrected data.

It is another object of the invention to provide a unit for enabling a receiver to deal with data for which the problem cannot be solved in a transmitter.

According to a first aspect of the invention, there is provided a transmission interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced, added to the data groups is transmitted on a transmission bus in a time division manner, the transmission interface unit comprising a cycle timer for counting the reference time of the home machine based on the reference time on the transmission bus, generation means for generating the reproduction specification time data, and addition means for dividing the time series data into data groups, putting into packets, and adding the reproduction specification time data to the data in the packets, characterized by rewrite means for rewriting the reproduction specification time data generated by the generation means when the reference time on the transmission bus changes.

In a second aspect of the invention, the transmission interface unit as set forth in the first aspect of the invention further includes determination means for determining whether the reproduction specification time data generated by the generation means is reproduction specification time data generated before or after the reference time on the transmission bus changes and supplying the reproduction specification time data generated before the reference time on the transmission bus changes to the rewrite means based on the determination result.

In a third aspect of the invention, in the transmission interface unit as set forth in the first or second aspect of the invention, the cycle timer comprises at least two registers

2

on the transmission bus, at least the reference time of the home machine set before the reference time on the transmission bus changes and the reference time of the home machine set after the reference time on the transmission bus changes are retained in the registers, when the reference time on the transmission bus changes, the cycle timer calculates a difference between the reference times retained in the registers and transmits the difference to the rewrite means, and the rewrite means rewrites the reproduction specification time data based on the difference.

In a fourth aspect of the invention, in the transmission interface unit as set forth in the second or third aspect of the invention, the determination means and the rewrite means are at the stage following the addition means.

According to the first aspect of the invention, when the reference time on the transmission bus changes, the rewrite means rewrites the reproduction specification time data generated before the reference time on the transmission bus changes. Thus, when the data to be transmitted onto the bus becomes past data from the reference time, the data can be corrected to data based on the current time and the corrected data can be transmitted.

According to the second aspect of the invention, the determination means determines whether the reproduction specification time data is reproduction specification time data generated before or after the reference time on the transmission bus changes and can supply the reproduction specification time data put into a packet before the reference time on the transmission bus changes to the rewrite means based on the determination result. Thus, only the data which is to be transmitted onto the bus and is past data from the reference time can be appropriately corrected to data based on the current time and the corrected data can be transmitted.

According to the third aspect of the invention, when the reference time on the transmission bus changes, the cycle timer calculates a difference between the reference times of the home machine retained in the registers and transmits the difference to the rewrite means, and the rewrite means can rewrite the reproduction specification time data based on the difference. Thus, only the data which is to be transmitted onto the bus and is past data from the reference time can be appropriately corrected to data based on the current time and the corrected data can be transmitted.

According to the fourth aspect of the invention, the determination means and the rewrite means are at the stage following the addition means, thus making it possible to correct the reproduction specification time data just before the data is transmitted onto the transmission bus.

BRIEF DESCRIPTION OF THE DRAWINGS

In the accompanying drawings:

FIG. 1 is a drawing to show electric machines connected by a high-speed serial data transfer interface;

FIG. 2 is a drawing to describe a root node determination method in topology in which nodes A to F are connected;

FIG. 3 is a drawing to describe a procedure of giving node IDs to nodes;

FIG. 4 is a drawing to show a packet composition in a cycle;

FIG. 5 is a drawing to show transfer of a cycle start packet CS;

FIG. 6 is a drawing to show the structure of an isochronous packet;

FIG. 7 is a drawing to show the format of a CIP header;

FIG. 8 is a drawing to show the structure of an asynchronous packet;

3

FIG. 9 is a drawing to show a connection state of electric machines containing transmitters and receivers;

FIG. 10 is a block diagram to show the configuration of the transmitter;

FIG. 11 is a block diagram to show the configuration of the receiver;

FIGS. 12A to 12G is timing charts to describe data packet transfer;

FIG. 13 is a conceptual drawing at the reference time change time;

FIGS. 14H to 14P are timing charts detailed drawing at the reference time change time;

FIG. 15 is a flowchart to show a first embodiment of the invention;

FIG. 16 is a block diagram to show the configuration of a transmitter in the first embodiment of the invention;

FIG. 17 is a drawing to describe a problem involved in a receiver;

FIGS. 18A and 18B are schematic drawings to show a second embodiment of the invention;

FIG. 19 is a flowchart to show the second embodiment of the invention;

FIG. 20 is a block diagram of the second embodiment of the invention;

FIGS. 21A and 21B are schematic drawings to show a third embodiment of the invention;

FIG. 22 is a flowchart to show the third embodiment of the invention;

FIG. 23 is a block diagram of the third embodiment of the invention;

FIGS. 24A and 24B are schematic drawings to show a fourth embodiment of the invention;

FIG. 25 is a flowchart to show the fourth embodiment of the invention;

FIG. 26 is a schematic drawing to show a first method of a fifth embodiment of the invention;

FIG. 27 is a flowchart to show the first method of the fifth embodiment of the invention;

FIG. 28 is a block diagram to show the first method of the fifth embodiment of the invention;

FIG. 29 is a schematic drawing to show a second method of the fifth embodiment of the invention;

FIG. 30 is a flowchart to show the second method of the fifth embodiment of the invention;

FIG. 31 is a block diagram to show the second method of the fifth embodiment of the invention;

FIG. 32 is a drawing to show clock period of reproduction reference clock signal C_{REF} in the second method of the fifth embodiment of the invention;

FIGS. 33A and 33B are schematic drawings to show a sixth embodiment of the invention;

FIG. 34 is a flowchart to show the sixth embodiment of the invention; and

FIG. 35 is a block diagram of the sixth embodiment of the invention.

DETAILED DESCRIPTION OF THE INVENTION

Referring now to the accompanying drawings, there are shown preferred embodiments of the invention.

FIG. 1 shows a data transfer system incorporating the invention. The data transfer system comprises a high-speed

4

serial data transfer interface based on the IEEE1394-1995 standard, wherein a plurality of electric machines 1_1 to 1_5 are detachably connected using cables and connectors in a daisy chain manner and a branch manner. The electric machines 1_1 to 1_5 refer to machines for inputting or outputting digital data, such as digital video tape recorders, digital video disc players, personal computers, digital video cameras, hard disk drives, scanners, and printers. That is, the electric machines include not only personal computers and peripheral machines connected thereto, but also household electric products for inputting or outputting digital data.

If each of the electric machines 1_1 to 1_5 is connected only at the termination of the daisy chain, it may comprise one connector jack; a machine enabling the daisy chain manner comprises two connector jacks and a machine enabling the branch manner comprises three or more connector jacks. A connector plug connected to a connector jack is provided at either end of each cable. A path provided by the cables for connecting the machines is a data transfer bus.

Subsequently, a data transfer protocol of the IEEE1394-1995 standard will be discussed. In this protocol, electric machines are referred to as nodes, which are given node IDs for discriminating the electric machines from each other. The node is either a branch node or a leaf node. That is, the branch node is a node connected to two or more nodes and the leaf node is a termination node connected only to one node.

In a state in which a number of nodes are connected, a bus reset signal is generated when power is turned on, when an additional node is connected to the bus, or when any node is disconnected from the bus. After the bus is reset, a root node is determined among the nodes.

First, a root node determination method will be discussed in detail.

Each of the nodes connected on the bus determines which of branch and leaf nodes the home machine is, and detects topology of the nodes as information.

The node which determines that the home machine is a leaf node sends a signal parent notify indicating a notification from a child node to a parent node to a branch node. The node which receives the signal parent notify returns a signal child notify indicating a notification from a parent node to a child node to the leaf node, whereby the parent-child relationship between the nodes containing the leaf node is determined. After this, since neither the signal parent notify nor the signal child notify is transferred between branch nodes, the branch nodes recognize that a parent-child relationship is not determined, and each sends a signal parent notify to the other. When each of the two branch nodes sending the signal to the other judges reception of the signal parent notify, the branch nodes set different times individually. One branch node in which the setup time has elapsed first sends a signal parent notify to the other. Since the other receives the signal parent notify from one branch node before the expiration of the setup time, the parent-child relationship between the two branch nodes is determined. The parent node between two branch nodes with their parent-child relationship thus last determined becomes the root node.

For example, in topology in which nodes A to F are connected as shown in FIG. 2, the leaf nodes A, E, and F are first determined to be child nodes. A port of each of the leaf nodes A, E, and F corresponds to a child node as indicated by c, and one port of the branch node B and two ports of the branch node D to which the leaf nodes are connected correspond to parent nodes as indicated by p.

5

Next, between the branch nodes C and D, the node C has two undetermined ports and thus the branch node D first sends parent notify to the branch node C, because the node which has one undetermined port shall first send parent notify. Therefore, at this point in time, the remaining one port of the branch node D corresponds to child node c and one port of the branch node C corresponds to parent node p.

Between the nodes B and C, the above-described relationship is also set, namely, the node B has one undetermined port and the node C does not have any determined port. However, the example assumes that the parent-child relationship between the nodes C and D is determined before the parent-child relationship between the nodes A and B is determined.

Thus, last, between the branch nodes B and C, both the nodes have one undetermined port and each sends parent notify to the other. At this time, as described above, when each of the two branch nodes sending the signal to the other judges reception of parent notify, the branch nodes set different times individually. In the example, the branch node C, which first reaches the setup time, again sends parent notify to the branch node B. Since the branch node B receives parent notify from one branch node before the expiration of the setup time, the parent-child relationship between the two branch nodes is determined. That is, the other port of the branch node C corresponds to child node c and the port of the branch node B corresponds to parent node p. The node B which becomes the parent node between the two branch nodes with their parent-child relationship thus last determined becomes the root node.

Next, a method of giving node IDs to nodes will be discussed in detail.

First, the root node sends a signal for giving a node ID to each node. In this process, the node IDs starting at the lowest number (node number 0) are set starting at a leaf node at the termination in the port number order of the ports to which child nodes are connected. The root node is assigned the node ID of the highest node number.

For example, in the topology in FIG. 2, node IDs are given as shown in FIG. 3. The node ID giving method is as follows: First, the node B, which is the root node, sends a signal grant for giving a node ID number to the node A connected to the port assigned the lowest port number in the machine of the node B. In FIG. 3, the numbers indicated near the bus connection terminals are port numbers. After receiving the signal grant, the node A, which is a leaf node, is assigned the node ID number, then returns an acknowledge signal indicating that the number is assigned to the parent node. After this, the node A sends the node ID number of the home machine (ID=0) to all nodes.

Upon reception of the ID number, every node increments a node counter of the home machine (ID counter=0).

Next, the root node B sends a signal grant for giving a node ID number to the node C connected to the port assigned the second lowest port number in the machine of the node B. The node C, which is not a leaf node, sends a signal grant for giving node ID number to the node D connected to the port assigned the lowest port number in the machine of the node C. The node D, which is not a leaf node either, sends a signal grant for giving node ID number to the node F connected to the port assigned the lowest port number in the machine of the node D. After receiving the grant signal, the node F, which is a leaf node, is assigned the node ID number, then returns an acknowledge signal indicating that the number is assigned to the parent node D. After this, the node F sends the node ID number of the home machine (ID=1) to all nodes.

6

Upon reception of the ID number, every node increments the node counter of the home machine (ID counter=1).

Next, the node D sends a signal grant for giving node ID number to the node E connected to the port assigned the second lowest port number in the machine of the node D. Hereinafter, the node ID numbers of the machines will be given in the above-described order, as in FIG. 3.

Upon completion of giving the node IDs, a bus manager and an isochronous resource manager are selected from among nodes; the bus manager performs power control and topology mapping and speed mapping management and the isochronous resource manager performs isochronous band control and isochronous channel control. This topic will not be discussed in detail here.

Isochronous transfer and asynchronous transfer are executed as data transfer. The isochronous transfer is executed for transferring synchronous data which needs to be transmitted periodically and the asynchronous transfer is executed for transferring asynchronous data. One cycle of data transfer is 125 μ sec; in each cycle, a cycle start packet CS, isochronous packets I_1 and I_2 , and an asynchronous packet (Async transfer) are positioned in order as shown in FIG. 4. The cycle start packet CS is transferred from a cycle master node (for example, the root node) to all nodes and indicates the start of the data transfer cycle.

Assuming that five nodes A to E are connected to a bus based on the IEEE1394-1995 standard, for example, as shown in FIG. 5, each of the nodes A-E comprises a cycle timer for counting at a frequency of 24.576 MHz and providing a time value, and transmits or receives data at the count timing of the cycle timer. If the node E is the cycle master node, it sends a cycle start packet CS onto the bus for supplying the cycle start packet CS to the nodes A to D every 125 μ s. The cycle start packet CS indicates the time value of the cycle timer of the node E and each of the nodes A-D receives the cycle start packet CS and then makes the time value of the cycle timer of the node equal to the time value of the cycle timer of the node E indicated in the received cycle start packet CS (reference time), whereby the data transmission/reception operation timings of all nodes A to E connected to the same bus are synchronized.

The isochronous packet is an isochronous transfer packet and the units of isochronous packets transferred in one isochronous packet cycle are called channels. In FIG. 4, the packets I_1 and I_2 of two channels are shown; the number of packets is set for each cycle and packets of channels are time division multiplexed. A node for transferring data in isochronous packets can send a data packet once every 125 μ s if it previously executes a reservation procedure and gets a channel. Specifically, as shown in FIG. 6, the isochronous packet consists of arbitration and a data packet. The arbitration is data for asking the root node for the bus use right and getting use permission before data transfer. If any node gets use permission, immediately the root node supplies a signal indicating the fact to each node. If user permission is gotten, the data packet following the arbitration is sent. It has a header, header CRC, a CIP header, a data field, and data CRC in time sequence. The header contains a channel number indicating the type of data transferred in the isochronous packet, a data size indicating the time length of the data, etc., as information. The channel numbers are 0 to 63.

The format of the CIP header is as shown in FIG. 7. It will be discussed briefly. SID is a field for giving a transmitter ID number. DBS is the size of one sample data piece (data block). FN, QPC, and SPH are fields required for sending video data such as MPEG data, for example. FN is a numeric

7

value indicating how many data blocks a source packet is divided into to convert the source packet into IEEE1394 packet, QPC is a value indicating the number of dummy quadrats added to set the size of the source packet to a DBS multiple (one quadrat is four bytes), and SPH is a field for giving one to the data packet containing a source packet header. Rsv is a reserved field and DBC is a field for giving consecutive number of sample data. The DBC indicated in the CIP header is the number of the first sample data in data packet.

Next, FMT is a format ID and is a field given in response to a data protocol; for example, for A&M (Audio/Music) protocol, A&M protocol format information is given. FDF is a field pursuant to the FMT; for example, for the A&M (Audio/Music) protocol, the sampling frequency of each data, etc., is given.

SYT indicates the demodulating time of the packet data in the receiving party and is time stamp data (reproduction specification time data). This reproduction specification time data SYT is made up of the low-order 16 bits of the CIP header. The high-order four bits of the low-order 16 bits are called a cycle count for counting every Iso cycle (125 μ s) and the low-order 12 bits are called a cycle offset for counting at a clock of 24.576 MHz.

The asynchronous packet is a packet for transferring data with a transfer destination specified. The transfer destination is a specific node or all nodes on the bus. Specifically, as shown in FIG. 8, the asynchronous packet consists of arbitration, a data packet, and an acknowledge packet. The arbitration is data for asking the root node for the bus use right and getting use permission before data transfer. The data packet has a header, header CRC, a data field, and data CRC in time sequence. The header contains the node ID of the destination of the data transferred in the asynchronous packet, the node ID of the source, a data size indicating the time length of the data, etc., as information. The acknowledge packet is a packet returned to the source node by the destination node which receives the data transferred in the asynchronous packet and acknowledges the data reception.

Next, an audio data transfer method in an isochronous packet will be discussed. As shown schematically in FIG. 9, assume that audio data DATA of time series digital data with sampling frequency fs, for example, 44.1 kHz is supplied from a transmitter 11 in one electric machine 9 to a receiver 12 in another electric machine 10 via a bus 15 based on the IEEE1394-1995 standard. The electric machine 9 contains a receiver 13 similar to the receiver 12 and the electric machine 10 contains a transmitter 14 similar to the transmitter 11.

In the transmitter 11 (14), as shown in FIG. 10, sample data of digital data is stored in a transmission buffer 21 in sequence. The stored data is put into a data packet by an MUX (multiplexer) 22, then output to the bus 15.

On the other hand, a 24.576-MHz clock signal is supplied to a cycle timer 23 made of a register and an 8-kHz reference signal (signal on which the reference time is based) is also supplied from the cycle master node to the cycle timer 23. All nodes set the time based on the reference time.

FIG. 10 shows the configuration of any node other than the cycle master node; in the cycle master node, the reference time is generated according to the clock of the home machine and thus the 8-kHz reference signal is not supplied to the cycle master node.

The cycle timer 23 counts the clock signal from the value indicated by the reference signal and supplies the count to a latch circuit 24 as a time value. A time stamp timing signal

8

fs/SYT INTERVAL is supplied to the latch circuit 24 periodically. It is a signal generated by means (not shown) and indicating the timing for adding a time stamp, namely, time information to sample data (data block) and is a frequency found by sampling frequency fs/sample interval SYT INTERVAL.

The sample interval SYT INTERVAL is a sample interval at which a time stamp (SYT) is added to the sample data; for example, it is eight. Therefore, the latch circuit 24 retains the time value of the cycle timer 23 when the time stamp timing signal fs/SYT INTERVAL is supplied. Transfer delay time T_D described later is added to the retained time value and the result is supplied to the MUX 22 and is added to sample data at the sample interval SYT INTERVAL at conversion to a packet. Thus, the sample data having the time value every sample interval SYT INTERVAL is sent to the bus 15 as a data packet. An adder for adding the transfer delay time T_D to output of the latch circuit 24 is provided although it is not shown.

The transmission buffer 21, the MUX 22, the cycle timer 23, and the latch circuit 24 are controlled by a control section 25.

The control section 25 receives a bus reset signal sent on the bus and then sends a predetermined control signal described later to each circuit.

In the receiver 12 (13), as shown in FIG. 11, a data packet from the bus 15 is supplied to a cycle start packet extraction section 31 and a data packet extraction section 32 for an isochronous packet. From the data packet transferred via the bus 15, the cycle start packet extraction section 31 extracts a cycle start packet CS and the data packet extraction section 32 extracts an isochronous packet. The extracted cycle start packet CS is supplied to a cycle timer 33 and the time value indicated in the cycle start packet CS is set in the cycle timer 33, which then counts the 24.576-MHz clock signal from the setup time value and outputs the count to a match detection circuit 34 as cycle time (reference time) T_c .

On the other hand, the isochronous packet extracted by the data packet extraction section 32 is stored in a reception buffer 35 and the SYT contained in the CIP header in the isochronous packet is extracted by an SYT extraction section 36 and is output to the match detection circuit 34, which then compares the cycle time T_c supplied from the cycle timer 33 with the SYT supplied from the SYT extraction section 36. When the time values match, the match detection circuit 34 outputs a reproduction reference clock signal C_{REF} to a PLL circuit 37, which then generates a reproduction sampling clock signal fs in phase synchronization with the reproduction reference clock signal C_{REF} and supplies the reproduction sampling clock signal fs to the reception buffer 35 and a D/A converter 38. The reception buffer 35 separates sample data in the stored data packet in sample data units in synchronization with the reproduction sampling clock signal fs and outputs. The D/A converter 38 converts the sample data output from the reception buffer 35 into an analog audio signal in synchronization with the reproduction sampling clock signal fs.

A control section 39 is provided for controlling the circuits in batch.

A bus reset signal transmitted on the bus is received at the control section 39.

The data packet transfer method will be furthermore discussed. If the cycle time on the bus 15 is 5, 6, 7 . . . (FIG. 12A, cycle timer) and a time stamp timing signal fs/SYT INTERVAL is generated like a signal waveform shown in FIG. 12C in the transmitter 11 (14), the time values T_1 , T_2 ,

T3, . . . on the rising edges of the time stamp timing signal fs/SYT INTERVAL correspond to sample data a, b, c . . . at the point in time.

That is, as shown in FIG. 12D, the sample data string is put into a packet, for example, in eight sample units (only sample data string a is shown) every 125 μ sec (FIG. 12E) and the time value T1, T2, T3, . . . of the sample data positioned on the rising edge of the time stamp timing signal fs/SYT INTERVAL in the sample data string is added to the CIP header as SYT. The sample data interval at which the time value is added becomes the sample interval SYT INTERVAL (in the example in FIGS. 12A to 12G, 8). The time value T1, T2, T3, . . . is data indicating the reproduction output time in the receiving party of the corresponding sample data and the transfer delay time T_D is added to the current time value of the cycle time of the transmitter as described above.

After this, in the next cycle to the 125- μ sec cycle in which conversion to a packet is executed, the data packet is sent onto the bus, as shown in FIG. 12E.

In the receiver 12 (13), the isochronous packet ISO sent from the transmitter 11 (14) is extracted, then is stored in the reception buffer 35.

For example, when the time value of the cycle timer shown in FIG. 12A becomes cycle time=9, in the receiving party, the sample data a is output from the reception buffer 35, as shown in FIG. 12G, in synchronization with the reproduction sampling clock signal fs. When the time value of the cycle timer 33 of the receiver 12 becomes cycle time=11, the sample data b is output from the reception buffer 35 in synchronization with the reproduction sampling clock signal fs. Such operation is repeated as long as the reproduction reference clock signal C_{REF} is provided, so that data transfer is enabled.

Thus, in the receiving party, the transferred data is stored in the buffer and when the SYT (reproduction specification time data) of the reception data matches the time value Tc (reference time) output from the cycle timer in the receiving party, the data is processed.

However, for example, if a new bus is connected to the bus on which isochronous transfer is executed, bus reset occurs, and at the time, there is a possibility that a machine on the new connected bus will become the cycle master node and the cycle time in the former transmission channel will change. At this time, there is a possibility that the transmitter in the transmission channel where the reference time on the transmission bus changes will transmit a packet containing SYT calculated with the reference time before the bus reset. In the node receiving the packet, at the worst, the SYT (reproduction specification time data) of the reception data may not match the time value Tc output from the cycle timer in the receiving party or it may take much time until they match; for example, there is a possibility that the buffer in the receiving party will overflow, making it impossible to perform normal reception data processing.

Specifically, the following case is possible:

As shown in FIG. 13, there are a transmission channel where node A (cycle master node) and node B are connected by bus 15 and the cycle time on the bus 15 is cycle time 1 and a transmission channel where node C (cycle master node) and node D are connected by bus 15 and the cycle time on the bus 15 is cycle time 2 and, for example, the node A transmits data and the node B receives the data.

Assume that in this state, the nodes B and C are connected by bus 15 to place the nodes A to D in one transmission channel and the node C becomes the cycle master node.

At this time, the cycle time (reference time) is changed in the node A.

FIGS. 14H to 14P are charts to show the example in detail.

In the figure, FIGS. 14H to 14N represent the transmitter state and are as follows:

FIG. 14H means a bus reset signal generated when a bus is connected or disconnected.

In the state in the figure, a bus is connected or disconnected when the low-to-high transition of the bus reset signal is made.

FIG. 14I means cycle time in the transmission channel before bus reset. In the embodiment, one Iso cycle is 125 μ s.

It is the same as FIG. 12A.

FIG. 14J means cycle time in the transmission channel after bus reset. In the embodiment, one Iso cycle is 125 μ s.

FIG. 14K denotes the generation timing of reproduction specification time data SYT.

FIG. 14L is the same as fs/SYT INTERVAL in FIG. 12C.

FIG. 14M is the same as the sample data in FIG. 12D.

FIG. 14N is the same as data in data packet in FIG. 12E.

FIGS. 14O and 14P represent the receiver state as follows:

FIG. 14O is the same as fs/SYT INTERVAL in FIG. 12F.

FIG. 14P is the same as the sample data in FIG. 12G.

For example, assume that at least two nodes transmit and receive data at cycle time 1. In FIGS. 14H to 14P, the cycle time in the receiver is incremented by one every 125 μ s based on the reference time sent from the cycle master node and the connected nodes set the reference time as cycle time 1=5, 6, 7 . . .

At this time, reproduction specification time data SYT is generated at the timing (k) and thus is added to audio data at the timing (k). In the embodiment, the transfer delay time T_D added to the reproduction specification time data SYT is set to 4. Thus, for example, the time

$$SYT = \text{current cycle time} + \text{transfer delay time} \quad (1)$$

$$= 5 + 4$$

$$= 9$$

is added to sample data a. The time

$$SYT = \text{current cycle time} + \text{transfer delay time} \quad (2)$$

$$= 7 + 4$$

$$= 11$$

is added to sample data b.

Likewise, the SYT is added to each sample data.

The data is put into a packet according to the predetermined procedure previously described with reference to FIG. 10 and is sent onto the bus 15.

The receiving node receives the data in the data packet and demodulates the data in the data packet according to the predetermined procedure previously described with reference to FIG. 11.

For example, the sample data shown in FIGS. 14H to 14P is demodulated when the cycle timer is 9.

A case will be discussed wherein bus reset occurs on the transmission bus 15 because a new machine is connected in a state in which data is thus transmitted and received and the new machine becomes the cycle master node.

11

FIGS. 14H to 14P assume that when the cycle time is 9, bus reset occurs on the transmission bus 15 and a new machine becomes the cycle master node.

At this time, the cycle master node of the new machine has cycle time 2=3, 4, 5 . . . , thus the nodes wherein the reference time is set based on cycle time 1 also set the reference time based on cycle time 2.

Therefore, audio data d after the bus reset has SYT generated based on a new cycle time. Thus, the time

$$\begin{aligned} \text{SYT} &= \text{current cycle time} + \text{transfer delay time} \\ &= 3.6 + 4 \\ &= 7.6 \end{aligned} \quad (3)$$

is added to the audio data d.

At this time, SYT=13 is added to audio data c already put into a packet before the bus reset, thus the node receiving the data requires considerable time until the data is demodulated.

Thus, in such a case, in the transmitter, a correction may be made to the reproduction specification time data (SYT) by the following method for transmitting the resultant data:

First Embodiment: Transmitter

FIG. 15 is a flowchart to show the transmitter state for showing one technique for the transmitter to deal with the above-described problem.

FIG. 16 is a block diagram provided by extracting the portion related to the technique from the block diagram of FIG. 10. Circuit parts identical with those previously described with reference to FIG. 10 are denoted by the same reference numerals in FIG. 16 and will not be discussed again. FIG. 16 also shows the state of the transmitter of any other node than the cycle master node.

In the embodiment, the transmitter shown in FIG. 10 further includes a determination circuit 26 and an SYT rewrite circuit 27, and a cycle timer 23 comprises two registers each for retaining a cycle time.

The determination circuit 26 is a circuit for determining whether data transmitted from an MUX 22 is data received before or after bus reset.

The SYT rewrite circuit 27 is a circuit for rewriting the SYT of data transmitted from the determination circuit 26 based on a difference (SUB) output from the cycle timer 23.

A specific method concerning the first embodiment of the invention will be discussed with reference to FIGS. 14 to 16.

For example, assuming that at least two nodes transmit and receive data at cycle time 1 as described above, cycle time 1=5, 6, 7 . . . is transmitted from a cycle master node and the nodes connected to the cycle master node set the reference time. At the time, the cycle timer 23 retains cycle time 1 as the reference time, for example, in a register 1 in the cycle timer 23, counts clock signal from the value indicated in the cycle time 1, and supplies the count to a latch circuit 24 as the time value.

The node to transmit data onto a transmission bus 15 generates a predetermined SYT in the latch circuit 24, adds the SYT to the data in the MUX 22, and transmits Iso packet onto the transmission bus 15 at step S151.

In this state, if bus reset occurs on the transmission bus 15 at step S152, a control section 25 receives a bus reset signal.

If bus reset does not occur, Iso packet transmission and reception are repeated as usual (N at step S152).

12

After receiving the reset signal, the control section 25 transmits a predetermined control signal to the cycle timer 23 and the determination circuit 26.

After receiving the control signal, the cycle timer 23 retains cycle time 2 received after the bus reset, for example, in a register 2. The cycle timer 23 checks whether or not the cycle times in the registers 1 and 2 change at step S153. If they do not change (N at step S153), the cycle timer 23 performs normal processing according to the value of the cycle time retained in the register 1. On the other hand, if the cycle times in the registers 1 and 2 change (Y at step S153), the cycle timer 23 calculates the difference (SUB) between the cycle time value retained in the register 1 and that retained in the register 2 as

$$\text{Difference (SUB)} = \text{cycle time value in register 1} - \text{cycle time value in register 2} \quad (4)$$

at step S154, and outputs the difference (SUB) to the SYT rewrite circuit 27. After bus reset occurs, the cycle timer 23 counts clock signal from the value indicated in the cycle time 2 based on the cycle time 2 and supplies the count to the latch circuit 24 as the time value.

For example, as shown in FIGS. 14H to 14P, the cycle time becomes cycle time 2 and the cycle timer 23 sets the reference time at cycle time 2=3, 4, 5 . . .

After receiving the control signal, the determination circuit 26 determines whether the data supplied from the MUX 22 is a value at cycle time=1 or a value at cycle time=2 at step S155, for example, by any of the following methods: (I) in a transmission buffer 21 or the cycle timer 23, when data after bus reset is stored in the buffer, a flag is assigned to the data and the determination circuit 26 determines whether the data is a value at cycle time=1 or a value at cycle time=2 according to the flag; (II) the buffer size in the transmission buffer 21 or the cycle timer 23 at the bus reset time is detected and the determination circuit 26 compares the size of the supplied data, thereby determining whether the data is a value at cycle time=1 or a value at cycle time=2; or (III) the determination circuit 26 receives the current cycle time from the cycle timer 23 or the control section 25 and compares the value resulting from adding transfer delay time to the cycle time with the SYT added to data sent from the MUX 22, and if the time values do not match, determines that the data is data received before bus reset.

For example, in the method (III), taking the example in FIGS. 14H to 14P, SYT=13 is added to sample data c put into a packet and 13 is compared with 8 (cycle time=4 of the current cycle time plus transfer delay time 4) and if the time values do not match, the data is sent to the SYT rewrite circuit 27.

The determination circuit 26 sends the data at a new cycle time after bus reset intact onto the transmission bus 15 (N at step S155) and sends the data received before bus reset to the SYT rewrite circuit 27.

The SYT rewrite circuit 27 receives the difference (SUB) from the cycle timer 23 and receives data received before bus reset from the determination circuit 26, then generates a new SYT as

$$\text{SYT} = \text{SYT} - \text{difference (SUB)} \quad (5)$$

at step S156 and replaces the SYT of the data with the SYT'. After this, the SYT rewrite circuit 27 sends the data onto the transmission bus 15 at step S157.

After step S157, again the determination circuit 26 determines whether the packet transmitted from the MUX 22 is data before or after bus reset at step S155. If the packet is

13

data before bus reset, again steps S156 and later are executed; if the packet is data after bus reset, control returns to step S151 and normal transmission is executed.

The control section 25 can also check whether or not the cycle times in the registers change at step S153.

Thus, in the first embodiment, after bus reset occurs, in the transmitting node, SYT of data not yet transmitted among data to which SYT is added at the cycle time before the bus reset is rewritten based on a new cycle time value, so that the time lag problem occurring in the receiving node can be circumvented.

Since it is preferred to make correction in the first embodiment just before data is sent onto the transmission bus, it is most suitable to place the determination circuit 26 and the SYT rewrite circuit 27 at the stage following the MUX circuit 22 as shown in FIG. 16, but may be placed anywhere if they are at the stage following the latch circuit 24. That is, after the reproduction specification time data (SYT) is generated, whether the data is data before or after the reference time changes is determined and a correction may be made in the SYT rewrite circuit 27.

The first embodiment makes it possible to completely prevent information from being lost. However, if a part of information may be lost, the SYT rewrite circuit 27 in FIG. 16 can also be changed to a data deletion circuit for deleting data containing a time lag. In this case, the difference (SUB) is not required and the cycle timer 23 may have at least one register; the circuitry can be simplified.

Next, embodiments for a receiver to deal with the problem of the invention will be discussed.

First, the receiver state in the bus connection state previously described with reference to FIG. 13 will be discussed with reference to FIG. 17.

As shown in FIG. 17, bus 15 connecting at least two nodes transmitting and receiving data at cycle time $CT=X$ and bus 15 connecting at least two nodes transmitting and receiving data at cycle time $CT=Y$ are connected and the cycle time on the resultant bus 15 becomes $CT=Y$.

At this time, SYTs at cycle time $CT=X$ (x20 and x21) and SYTs at cycle time $CT=Y$ (y0, y1, and y2) are mixed in a buffer in an SYT extraction section 36 of the receiving node operating at $CT=X$.

For example, if the SYTs (x20 and x21) are earlier data than at $CT=Y$, the cycle time reference time after the bus reset, the SYT (reproduction specification time data) of the data does not match the cycle time T_c (reference time) in the receiving party for hours and the buffer overflows, making it impossible to perform normal reception data processing.

At the time, it is possible to take any of the following five recovery means in the receiving party:

- (1) After the bus reset, the reception data and the SYT of the data stored in the buffer in the receiving party before the bus reset are all deleted, and data after the bus reset is processed as usual;
- (2) after the bus reset, data transmission to the buffer is interrupted until the data stored in the buffer in the receiving party before the bus reset is processed, and after the data stored before the bus reset has been processed, processing of the data having SYT information after the bus reset is started;
- (3) after the bus reset, only SYTs stored in the buffer in the receiving party are all deleted, the data stored just before the bus reset is processed according to the reproduction sampling clock f_s generated based on the reproduction reference clock signal generated before the bus reset, and data after the bus reset is processed as usual;

14

(4) after the bus reset, the data stored before the bus reset is processed using dummy SYT or a dummy reproduction reference clock signal and after the data stored before the bus reset has been all processed, usual processing is performed using SYT or a reproduction reference clock signal after the bus reset; or

(5) after the bus reset, the data stored before the bus reset is processed using the cycle time set before the bus reset and after the data stored before the bus reset has been all processed, usual processing is performed using cycle time set after the bus reset.

Specific methods of (1) to (5) described above will be discussed with reference to the accompanying drawings as second to sixth embodiments:

Second Embodiment: Receiver

FIGS. 18A and 18B are drawings to schematically show the method of (1) described above.

FIG. 18A shows the state of a buffer in an SYT extraction section 36 just after bus reset in a receiving party operating at cycle time $CT=X$ and FIG. 18B shows the buffer state after the method (1) is executed.

That is, since transmission and reception are executed at cycle time $CT=X$ before bus reset, SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36 (FIG. 18A).

After this, when bus reset occurs and the cycle time on the bus becomes $CT=Y$, all SYTs stored in the buffer in the SYT extraction section 36 are deleted. The data in a reception buffer 35 in the packet containing the SYT is also deleted.

After the bus reset, SYTs at cycle time $CT=Y$ are stored in the buffer in the SYT extraction section 36 as y0, y1, y2 . . . (FIG. 18B).

Thus, in the second embodiment, after the bus reset, the reception data and the SYT of the data stored in the buffers in the receiving party before the bus reset are all deleted.

FIG. 19 is a flowchart to show the receiver state described above. FIG. 20 is a block diagram provided by extracting the portion related to the second embodiment from the block diagram of FIG. 11. Circuit parts identical with those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 20 and will not be discussed again.

The specific method of the second embodiment will be discussed with reference to FIGS. 19 and 20.

First, in a state in which data is transmitted and received on a bus 15 by at least two nodes, a cycle start packet extraction section 31 extracts a data packet from the bus 15 and supplies extracted cycle start packet CS to a cycle timer 33, which then sets the time value indicated in the cycle start packet CS in a register (not shown).

On the other hand, a data packet extraction section 32 extracts an isochronous packet on the bus 15 and feeds data in the packet into the reception buffer 35. The SYT extraction section 36 extracts SYT contained in a CIP header in the isochronous packet.

After this, data demodulation processing is performed in predetermined data reception processing previously described with reference to FIG. 11.

If bus reset occurs at step S191 because of connection of a new machine or disconnection of an existing machine while data is being transferred, a control section 39 receives a bus reset signal. After this, the cycle timer 33 receives a new cycle start packet CS at step S192. The cycle timer 33 receiving the cycle start packet CS is set to the time value

15

indicated in the cycle start packet CS, then counts 24.576-MHz clock signal from the setup time value and outputs the count to a match detection circuit 34 as cycle time (reference time) T_c .

The control section 39 transmits a control signal to the reception buffer 35 and the SYT extraction section 36 so as to clear the data in the buffers.

Upon reception of the control signal, the reception buffer 35 and the SYT extraction section 36 clear all the data in the buffers at step S193.

After step S193, usual operation is repeated until bus reset occurs.

That is, the match detection circuit 34 compares the cycle time T_c supplied from the cycle timer 33 with a new SYT supplied from the SYT extraction section 36. If the time values match, the match detection circuit 34 outputs a reproduction reference clock signal C_{REF} . The subsequent steps are executed as described above.

If bus reset does not occur at step S191, usual operation is also repeated until bus reset occurs.

Thus, in the second embodiment, when bus reset occurs, the data in the reception buffer 35 and the buffer in the SYT extraction section 36 are all cleared and processing of data after the bus reset is started as usual. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

In the second embodiment, the data corresponding to SYT (x20, x21) shown in FIG. 18A is lost, but data demodulation is restarted in the simple configuration.

Third Embodiment: Receiver

FIGS. 21A and 21B are drawings to schematically show the method of (2) described above.

The buffer state in an SYT extraction section 36 in FIGS. 21A and 21B is the same as that in the second embodiment. FIG. 21A shows the state of a buffer in the SYT extraction section 36 just after bus reset in a receiving party operating at cycle time $CT=X$ and FIG. 21B shows the buffer state after the method (2) is executed.

That is, since transmission and reception are executed at cycle time $CT=X$ before bus reset, SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36 (FIG. 21A).

After this, when bus reset occurs and the cycle time on the bus becomes $CT=Y$, the SYT extraction section 36 interrupts input of new SYT. After all the data stored in the SYT extraction section 36 before the bus reset has been processed, the SYT extraction section 36 restarts input of new SYT.

After input of new SYT is restarted, SYTs at cycle time $CT=Y$ are stored in the buffer in the SYT extraction section 36 as y2, y3, y4, y5 . . . (FIG. 21B).

Thus, in the third embodiment, after the bus reset, data feeding into the buffer is interrupted until the data stored in the buffer in the receiving party before the bus reset is processed, and after the data stored before the bus reset has been processed, feeding of the data having SYT information after the bus reset is started.

FIG. 22 is a flowchart to show the receiver state described above. FIG. 23 is a block diagram provided by extracting the portion related to the second embodiment from the block diagram of FIG. 11. Circuit parts identical with those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 23 and will not be discussed again.

16

In the embodiment, a cycle timer 33 has two registers for temporarily retaining data.

The specific method of the third embodiment will be discussed with reference to FIGS. 22 and 23.

First, in a state in which data is transmitted and received on a bus 15 by at least two nodes, a cycle start packet extraction section 31 extracts a data packet from the bus 15 and supplies extracted cycle start packet CS to the cycle timer 33, which then sets the time value indicated in the cycle start packet CS in a register 1, for example.

On the other hand, a data packet extraction section 32 extracts an isochronous packet on the bus 15 and feeds data in the packet into a reception buffer 35. The SYT extraction section 36 extracts SYT contained in a CIP header in the isochronous packet.

After this, data demodulation processing is performed in data reception processing described above.

If bus reset occurs at step S221 because of connection of a new machine or disconnection of an existing machine while data is being transferred, a control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the cycle timer 33 for instructing the cycle timer 33 to store a new cycle time in another register. Upon reception of the control signal, the cycle timer 33 writes a new cycle time into a second register 2, for example, at step S222.

At this time, the cycle timer 33 generates the cycle time of the home machine based on the cycle time stored in the register 1 and continues to supply the cycle time to a match detection circuit 34.

On the other hand, the control section 39 transmits a control signal to the reception buffer 35 and the SYT extraction section 36 for instructing the reception buffer 35 and the SYT extraction section 36 to interrupt data write into buffers.

Upon reception of the control signal, the reception buffer 35 and the SYT extraction section 36 interrupt data write into the buffers at step S223.

At this time, processing of the data already stored in the reception buffer 35 before the bus reset is continued.

Then, in the reception buffer 35, whether or not FIFO in the reception buffer 35 becomes empty of data is checked. If the FIFO in the reception buffer 35 does not become empty of data (N at step S224), interrupt of data write into the buffer at step S223 is continued. If the FIFO in the reception buffer 35 becomes empty of data (Y at step S224), the reception buffer 35 returns Empty Flag to the control section 39.

Upon reception of Empty Flag, the control section 39 sends a control signal to the cycle timer 33 for instructing the cycle timer 33 to rewrite cycle time. Upon reception of the control signal, the cycle timer 33 rewrites the cycle time stored in the register 2 into the register 1 at step S225, then generates the cycle time of the home machine based on the cycle time and supplies the generated cycle time to the match detection circuit 34.

The control section 39 sends a control signal to the reception buffer 35 and the SYT extraction section 36 for instructing the reception buffer 35 and the SYT extraction section 36 to restart data write into the buffers.

Upon reception of the control signal, the reception buffer 35 and the SYT extraction section 36 restart data write into the buffers at step S226.

After the reception buffer 35 and the SYT extraction section 36 restart data write into the buffers at step S226, usual operation is repeated until bus reset occurs.

17

If bus reset does not occur at step S221, usual operation is also repeated until bus reset occurs.

At step S223, control can also be performed so as to instruct the data packet extraction section 32 not to extract data after the bus reset or the data packet extraction section 32 not to transmit data.

In short, control may be performed so that data is not stored in the reception buffer 35 or the SYT extraction section 36.

In the third embodiment, the data amount in the reception buffer 35 is checked. However, data in FIFO in the SYT extraction section 36 is monitored and if the FIFO in the SYT extraction section 36 becomes empty of data, Empty Flag can also be transmitted. As described later in a fifth embodiment, at the bus reset time, the FIFO data amount is measured in either or both of the reception buffer 35 or the SYT extraction section 36 and if the data amount output from the FIFO reaches the measurement value, a predetermined control signal can also be output.

In short, a control signal indicating that the FIFO in either or both of the reception buffer 35 and the SYT extraction section 36 becomes empty of data stored before the bus reset may be output.

Thus, in the third embodiment, after bus reset occurs, data write into the reception buffer 35 and the buffer in the SYT extraction section 36 is interrupted and after the data stored before the bus reset has been processed, processing of data after the bus reset is started. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

Thus, in the third embodiment, the data related to SYT (y0, y1) shown in FIG. 21A is lost, but the data stored before the bus reset is processed normally and usual processing is also restarted after the bus reset.

Fourth Embodiment: Receiver

FIGS. 24A and 24B are drawings to schematically show the method of (3) described above.

The buffer state in an SYT extraction section 36 in FIGS. 24A and 24B is the same as that in the second embodiment. FIG. 24A shows the state of a buffer in the SYT extraction section 36 just after bus reset in a receiving party operating at cycle time CT=X and FIG. 24B shows the buffer state after the method (3) is executed.

That is, since transmission and reception are executed at cycle time CT=X before bus reset, SYTs of x20 and x21 are stored in the buffer in the SYT extraction section 36 (FIG. 24A).

After this, when bus reset occurs and the cycle time on the bus becomes CT=Y, all SYTs stored in the buffer in the SYT extraction section 36 are deleted.

Then, the SYT extraction section 36 starts input of new SYT.

After input of new SYTs, SYTs at cycle time CT=Y are stored in the buffer in the SYT extraction section 36 as y0, y1, y2, y3 . . . (FIG. 24B).

After the bus reset, the data stored in the reception buffer 35 before the bus reset is controlled according to a reproduction sampling clock fs generated by a reproduction reference clock signal C_{REF} generated when cycle time CT=X before the bus reset. After all the data related to the cycle time CT=X has been processed, data related to cycle time CT=Y is processed as usual.

Thus, in the fourth embodiment, after the bus reset, all SYTs stored in the buffer in the SYT extraction section 36 are deleted.

18

FIG. 25 is a flowchart to show the state described above.

The specific method of the fourth embodiment will be discussed with reference to FIGS. 20 and 25.

First, in a state in which usual operation is performed as previously described in the second embodiment, if bus reset occurs at step S251 because of connection of a new machine or disconnection of an existing machine, a control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the SYT extraction section 36 so as to clear all SYTs in the buffer.

Upon reception of the control signal, the SYT extraction section 36 clears all the SYTs in the buffer at step S252.

Processing of the data stored in the reception buffer 35 is continued at step S253 in synchronization with a reproduction sampling clock signal fs phase-synchronized with a reference clock C_{REF} generated before the bus reset.

In this state, SYT is not transmitted from the SYT extraction section 36 to a match detection circuit 34 for a while, thus the match detection circuit 34 does not output a reference clock C_{REF}. However, a PLL circuit 37 continues to hold the reproduction sampling clock signal fs generated based on the reference clock C_{REF} generated before the bus reset, thus the data stored before the bus reset is processed according to the sampling clock signal fs.

On the other hand, a cycle start packet extraction section 31 extracts a new cycle start packet CS and supplies the cycle start packet CS to a cycle timer 33. The SYT extraction section 36 extracts a new SYT and supplies the SYT to the match detection circuit 34.

The cycle timer 33 counts 24.576 MHz clock signal from the time value indicated in the cycle start packet CS supplied after the bus reset and supplies cycle time Tc to the match detection circuit 34.

The match detection circuit 34 compares the cycle time Tc supplied from the cycle timer 33 with the SYT supplied from the SYT extraction section 36 at step S254. If the time values match (Y at step S254), the match detection circuit 34 generates a reproduction reference clock signal C_{REF}.

If the cycle time Tc and the SYT do not match (N at step S254), control goes to step S253 at which processing of the data stored in the reception buffer 35 is continued in synchronization with the reproduction sampling clock signal fs phase-synchronized with the reference clock C_{REF} generated before the bus reset. On the other hand, if the cycle time Tc and the SYT match, the data stored in the reception buffer 35 is processed at step S255 in synchronization with the reproduction sampling clock signal fs phase-synchronized with the reproduction reference clock signal C_{REF} when the time values match.

After usual reproduction processing is restarted at step S255, whether or not bus reset occurs is checked.

If bus reset does not occur at step S251, the usual operation is repeated until bus reset occurs.

Thus, in the fourth embodiment, all the data in the buffer in the SYT extraction section 36 is cleared, the data stored just before the bus reset is processed according to the reproduction sampling clock signal fs generated before the bus reset, and the data after the bus reset is processed as usual. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

In the fourth embodiment, the data stored before the bus reset and that stored after the bus reset are processed normally without losing the data before and after the bus reset.

19

Fifth Embodiment: Receiver

A fifth embodiment of the invention corresponds to the method of (4) described above. After bus reset occurs, the data stored before the bus reset is processed using dummy SYT or a dummy reference clock and after all the data stored before the bus reset has been processed, usual processing is performed using SYT or a reference clock after the bus reset.

The embodiment provides two methods, which will be discussed in detail as first and second methods of the fifth embodiment.

First Method of Fifth Embodiment

The first method of the fifth embodiment is a method of generating dummy SYT.

FIG. 26 is a drawing to schematically show the first method of the fifth embodiment.

That is, before bus reset occurs, transmission and reception are executed at cycle time $CT=X$, thus SYTs of $x20$ and $x21$ are stored in a buffer in an SYT extraction section 36.

After this, when bus reset occurs and the cycle time on a bus becomes $CT=Y$, the SYT extraction section 36 inputs new SYT.

After input of new SYTs, SYTs at cycle time $CT=Y$ are stored in the buffer in the SYT extraction section 36 as $y0, y1, y2, y3 \dots$

On the other hand, a dummy SYT generation circuit 41 generates $x20'$ and $x21'$ of dummy SYTs corresponding to SYTs of $x20$ and $x21$ after the bus reset occurs, and supplies $x20'$ and $x21'$ to a selection circuit 42, which then changes SYTs from SYTs of the SYT extraction section 36 to the dummy SYTs of the dummy SYT generation circuit 41 in response to the bus reset signal, and supplies the dummy SYTs to a match detection circuit 34.

Upon completion of output of the dummy SYTs, again normal SYTs are supplied to the match detection circuit 34.

Thus, in the first method of the fifth embodiment, after the bus reset, the data stored before the bus reset is processed using dummy SYT and after all the data stored before the bus reset has been processed, usual processing is performed using SYT after the bus reset.

FIG. 27 is a flowchart to show the receiver state described above. FIG. 28 is a block diagram provided by extracting the portion related to the fifth embodiment from the block diagram of FIG. 11. Circuit parts identical with those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 28 and will not be discussed again.

The fifth embodiment further includes a subtraction circuit 40, the dummy SYT generation circuit 41, and the selection circuit 42.

The subtraction circuit 40 receives SYTs from the SYT extraction section 36, calculates a difference between the preceding and following SYTs according to a calculation expression described later, and supplies the difference to the dummy SYT generation circuit 41 as the time difference (D).

The dummy SYT generation circuit 41 receives the time difference (D) and receives SYT from the SYT extraction section 36. It uses the time difference (D) and the SYT from the SYT extraction section 36 to generate a dummy SYT according to a calculation expression described later and supplies the dummy SYT to the selection circuit 42.

The selection circuit 42 selectively supplies the SYT from the SYT extraction section 36 or the dummy SYT from the dummy SYT generation circuit 41 to the match detection circuit 34.

20

The first method of the fifth embodiment will be discussed specifically with reference to FIGS. 27 and 28.

First, in a state in which usual operation is performed as previously described in the second embodiment, if bus reset occurs at step S271 because of connection of a new machine or disconnection of an existing machine, a control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the SYT extraction section 36 so as to check Buffer Size in the buffer.

Upon reception of the control signal, the SYT extraction section 36 checks Buffer Size in the buffer and returns the Buffer Size to the control section 39 at step S272.

The Buffer Size is a value of counting the number of SYTs stored in the buffer in the SYT extraction section 36 when bus reset occurs. For example, if two SYTs ($x20$ and $x21$) are stored before bus reset as shown in FIG. 26, Buffer Size is set to 2.

The control section 39 also sends a change signal to the selection circuit 42.

Upon reception of the change signal, the selection circuit 42 changes the SYT to be supplied to the match detection circuit 34 to the dummy SYT supplied from the dummy SYT generation circuit 41 at step S273.

The control section 39 counts, at step S275, the number of times the match detection circuit 34 has found a match between the SYT from the selection circuit 42 and the cycle time from a cycle timer 33 after the bus reset at step S274. If the count exceeds the Buffer Size at step S276, the control section 39 again transmits a change signal to the selection circuit 42.

This means that the change signal is transmitted to the selection circuit 42 if $\text{count} > 2$, for example, in FIG. 26.

Upon reception of the change signal, the selection circuit 42 again changes the SYT to be transmitted to the match detection circuit 34 to normal SYT at step S277.

On the other hand, if the value of counting the dummy SYTs is not greater than the Buffer Size at step S276, control goes to step S274 and steps S274 to S276 are repeated.

After usual reproduction processing is restarted at step S277, whether or not bus reset occurs is checked.

If bus reset does not occur at step S271, the usual operation is repeated until bus reset occurs.

Thus, in the first method of the fifth embodiment, dummy SYT is generated after the bus reset. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

The specific generation method of a dummy SYT is as follows:

In FIG. 28, SYT is always supplied to the subtraction circuit 40 and when bus reset occurs, the subtraction circuit 40 calculates the time difference between the SYT just before the bus reset (SYT at cycle time $CT=X$) and the SYT just after the bus reset (SYT at cycle time $CT=Y$) as

$$\text{time difference (D)} = (\text{SYT just before bus reset}) - (\text{SYT just after bus reset}) \quad (6)$$

and supplies the time difference (D) to the dummy SYT generation circuit 41.

The dummy SYT generation circuit 41 adds the time difference to the SYT at cycle time $CT=X$ before the bus reset as

$$\text{dummy SYT} = (\text{SYT before bus reset}) + \text{time difference (D)} \quad (7)$$

and supplies the dummy SYT to the selection circuit 42.

21

Specifically, if bus reset occurs, for example, in a state in which SYTs at cycle time $CT=X$ ($x20$ and $x21$) are stored in the buffer in the SYT extraction section 36 as shown in FIG. 26, the SYT extraction section 36 extracts SYT at $CT=Y$ ($y0$), the next cycle time.

At this time, the subtraction circuit 40 subtracts $x21$ from $y0$ to find the time difference (D) and supplies the time difference (D) to the dummy SYT generation circuit 41.

The dummy SYT generation circuit 41 adds the time difference (D) to the SYTs at cycle time $CT=X$ ($x20$ and $x21$) transmitted from the SYT extraction section 36 to generate dummy SYTs ($x20'$ and $x21'$) and supplies the dummy SYTs to the selection circuit 42.

The dummy SYTs are thus generated.

In the first method of the fifth embodiment, the selection circuit 42 changes SYT to be supplied to the match detection circuit 34 based on Buffer Size in the buffer in the SYT extraction section 36, but it can also change SYT based on Buffer Size in a reception buffer 35. How to find the Buffer Size is not limited to that in the fifth embodiment; any other method may be adopted if the data amount in the buffer can be found. The SYT extraction section 36 determines whether each SYT is an SYT stored before or after bus reset as described later in a sixth embodiment of the invention, and the selection circuit 42 can also change SYT to be supplied to the match detection circuit 34 based on the determination result.

The time difference (D) can also be transmitted to the cycle timer 33 to generate a dummy cycle time. At the time, the time difference (D) may be subtracted from the cycle time after bus reset.

Second Method of Fifth Embodiment

Next, the second method of the fifth embodiment is a method of generating a dummy reproduction reference clock signal C_{REF}' .

FIG. 29 is a drawing to schematically show the second method of the fifth embodiment.

That is, before bus reset occurs, transmission and reception are executed at cycle time $CT=X$, thus SYTs of $x20$ and $x21$ are stored in the buffer in the SYT extraction section 36.

After this, when bus reset occurs and the cycle time on the bus becomes $CT=Y$, the SYT extraction section 36 inputs new SYT.

After input of new SYTs, SYTs at cycle time $CT=Y$ are stored in the buffer in the SYT extraction section 36 as $y0$, $y1$, $y2$, $y3$

On the other hand, a dummy reproduction reference clock signal C_{REF}' generation circuit 43 generates dummy reproduction reference clock signal C_{REF}' corresponding to SYTs of $x20$ and $x21$ after the bus reset occurs, and sends the dummy reproduction reference clock signal C_{REF}' to a selection circuit 44, which then changes the clock signal from reproduction reference clock signal C_{REF} from the match detection circuit 34 to the dummy reproduction reference clock signal C_{REF}' from the dummy reproduction reference clock signal C_{REF}' generation circuit 43 in response to the bus reset signal, and supplies the dummy reproduction reference clock signal C_{REF}' to a PLL circuit 37.

After completion of processing of the data stored before the bus reset, again the reproduction reference clock signal C_{REF} from the match detection circuit 34 is output to the PLL circuit 37.

The SYTs stored before the bus reset are deleted as described later.

22

Thus, in the second method of the fifth embodiment, after the bus reset, the data stored before the bus reset is processed using dummy reference clock and after all the data stored before the bus reset has been processed, processing is performed using reference clock after the bus reset.

FIG. 30 is a flowchart to show the receiver state described above. FIG. 31 is a block diagram provided by extracting the portion related to the fifth embodiment from the block diagram of FIG. 11. Circuit parts identical with those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 31 and will not be discussed again.

The fifth embodiment further includes the dummy reproduction reference clock signal C_{REF}' generation circuit 43 and the selection circuit 44.

The dummy reproduction reference clock signal C_{REF}' generation circuit 43 receives a reproduction reference clock signal C_{REF} from the match detection circuit 34, generates a dummy reproduction reference clock signal C_{REF}' by a method described later from the reproduction reference clock signal C_{REF} , and supplies the dummy reproduction reference clock signal C_{REF}' to the selection circuit 44.

The selection circuit 44 selectively supplies the reproduction reference clock signal C_{REF} from the match detection circuit 34 or the dummy reproduction reference clock signal C_{REF}' from the dummy reproduction reference clock signal C_{REF}' generation circuit 43 to the PLL circuit 37.

The second method of the fifth embodiment will be discussed specifically with reference to FIGS. 30 and 31.

First, in a state in which usual operation is performed as previously described in the second embodiment, if bus reset occurs at step S301 because of connection of a new machine or disconnection of an existing machine, the control section 39 receives a bus reset signal. After this, the control section 39 sends a control signal to the SYT extraction section 36 so as to check Buffer Size in the buffer.

Upon reception of the control signal, the SYT extraction section 36 checks Buffer Size in the buffer and returns the Buffer Size to the control section 39 at step S302.

After this, all SYTs in the buffer are deleted.

The Buffer Size is the same as that previously described in the first method.

The control section 39 also sends a change signal to the selection circuit 44.

Upon reception of the change signal, the selection circuit 44 changes the reproduction reference clock signal to be supplied to the PLL circuit 37 to the dummy reproduction reference clock signal C_{REF}' from the dummy reproduction reference clock signal C_{REF}' generation circuit 43 at step S303.

At this time, the match detection circuit 34, to which SYT after the bus reset is supplied, does not output for a while. Therefore, during the time, the dummy reproduction reference clock signal C_{REF}' from the dummy reproduction reference clock signal C_{REF}' generation circuit 43 is supplied to the selection circuit 44.

The control section 39 counts the number of the rising edges of the dummy reproduction reference clock signal C_{REF}' supplied to the selection circuit 44 at step S304. If the count becomes equal to or greater than the Buffer Size at step S305, the control section 39 transmits a change signal to the selection circuit 44.

Upon reception of the change signal, the selection circuit 44 again changes the reproduction reference clock signal to be supplied to the PLL circuit 37 to the normal reproduction reference clock signal C_{REF} at step S306.

23

On the other hand, if the count of the rising edges of the dummy reproduction reference clock signal C_{REF}' does not become equal to or greater than the Buffer Size at step S305, control goes to step S304 and counting the number of the rising edges of the dummy reproduction reference clock signal C_{REF}' is continued.

After usual reproduction processing is performed at step S306, whether or not bus reset occurs is checked.

If bus reset does not occur at step S301, the usual operation is repeated until bus reset occurs.

Thus, in the second method of the fifth embodiment, a dummy reproduction reference clock signal C_{REF}' is generated after the bus reset, the data stored before the bus reset is processed using the dummy reproduction reference clock signal C_{REF}' , and after all the data stored before the bus reset has been processed, processing is performed using the reproduction reference clock signal C_{REF} after the bus reset. Therefore, even if the time information before the bus reset differs from that after the bus reset, normal processing is performed.

The specific generation method of the dummy reproduction reference clock signal C_{REF}' is as follows:

In FIG. 31, the dummy reproduction reference clock signal C_{REF}' generation circuit 43 counts the rising edges of clock periods (FIG. 32) of reproduction reference clock signal C_{REF} generated in the match detection circuit 34 and timings by a counter (not shown) and stores the clock period in a buffer (not shown) in the dummy reproduction reference clock signal C_{REF}' generation circuit 43.

In the example shown in FIG. 32, the clock period (T) is stored in the buffer.

Since the counter value is stored in the buffer on the rising edge of the reference clock and then the next period (T) is counted, the counter is adapted to clear the count and again continue the count operation.

When bus reset occurs in the above-described state, the dummy reproduction reference clock signal C_{REF}' generation circuit 43 generates a dummy reproduction reference clock signal C_{REF}' based on the period stored in the buffer, such as the period (T), and supplies the dummy reproduction reference clock signal C_{REF}' to the selection circuit 44.

The dummy reproduction reference clock signal C_{REF}' is thus generated.

In the second method of the fifth embodiment, the selection circuit 44 changes the reproduction reference clock signal to be supplied to the PLL circuit 37 based on Buffer Size in the buffer in the SYT extraction section 36, but it can also change the reproduction reference clock signal based on Buffer Size in the reception buffer 35. How to find the Buffer Size is not limited to that in the fifth embodiment; any other method may be adopted if the data amount in the buffer can be found. The SYT extraction section 36 determines whether each SYT is an SYT stored before or after bus reset as described later in the sixth embodiment of the invention, and the selection circuit 44 can also change based on the determination result.

As described above, in the first and second methods of the fifth embodiment, the data stored before the bus reset and that stored after the bus reset are processed normally without losing the data before and after the bus reset.

Sixth Embodiment: Receiver

FIGS. 33A and 33B are drawings to schematically show the method of (5) described above.

The buffer state in an SYT extraction section 36 in FIGS. 33A and 33B is the same as that in the second embodiment.

24

FIG. 33A shows the state of a buffer in the SYT extraction section 36 just after bus reset in a receiving party operating at cycle time $CT=X$ and FIG. 33B shows the buffer state after the method (5) is executed.

That is, since transmission and reception are executed at cycle time $CT=X$ before bus reset, SYTs of $x20$, $x21$, and $x22$ are stored in the buffer in the SYT extraction section 36 (FIG. 33A).

After this, if bus reset occurs and the cycle time on the bus becomes $CT=Y$, the SYT extraction section 36 inputs new SYT as usual.

After input of new SYTs, SYTs at cycle time $CT=X$ and SYTs at cycle time $CT=Y$ are stored as $x20$, $x21$, and $x22$ and $y0$, $y1$, $y2$, $y3$. . . in the buffer in the SYT extraction section 36 (FIG. 33B).

A difference between the preceding and following SYTs is calculated in the buffer and whether each SYT is an SYT stored before or after bus reset is determined according to the difference. Based on the determination result, demodulation processing is performed at cycle time $CT=X$ for the data stored before bus reset; demodulation processing is performed at cycle time $CT=Y$ for the data stored after bus reset.

Thus, in the sixth embodiment, demodulation processing is performed at cycle time $CT=X$ for the data stored before bus reset and demodulation processing is performed at cycle time $CT=Y$ for the data stored after bus reset.

FIG. 34 is a flowchart to show the receiver state described above. FIG. 35 is a block diagram provided by extracting the portion related to the sixth embodiment from the block diagram of FIG. 11. Circuit parts identical with those previously described with reference to FIG. 11 are denoted by the same reference numerals in FIG. 35 and will not be discussed again.

The sixth embodiment further includes a subtraction circuit 45 and a determination circuit 46. A cycle timer 33 has two registers for temporarily retaining data.

The subtraction circuit 45 receives SYTs from the SYT extraction section 36, calculates a difference between the preceding and following SYTs according to a calculation expression described later, and supplies the time difference to the determination circuit 46 as the time difference (D).

The determination circuit 46 receives the time difference (D) from the subtraction circuit 45, determines whether each SYT is an SYT stored before or after bus reset by a method described later based on the time difference (D), and supplies the determination result to a control section 39.

The specific method of the sixth embodiment will be discussed with reference to FIGS. 34 and 35.

First, in a state in which data is transmitted and received on a bus 15 by at least two nodes, a cycle start packet extraction section 31 extracts a data packet from the bus 15 and supplies extracted cycle start packet CS to the cycle timer 33, which then sets the cycle time indicated in the cycle start packet CS in a register 1, for example, generates cycle time of the home machine based on the setup cycle time, and supplies the generated cycle time to a match detection circuit 34.

On the other hand, a data packet extraction section 32 extracts an isochronous packet on the bus 15 and feeds data in the packet into a reception buffer 35. The SYT extraction section 36 extracts SYT contained in a CIP header in the isochronous packet.

The SYT extraction section 36 supplies the SYT contained in the CIP header in the isochronous packet to the match detection circuit 34 and the subtraction circuit 45.

25

The subtraction circuit 45 calculates a time difference (D) between the extracted SYTs according to the calculation expression described later, and supplies the time difference (D) to the determination circuit 46.

The determination circuit 46 receives the time difference (D) from the subtraction circuit 45, determines whether the SYT is an SYT stored before or after bus reset by the method described later based on the time difference (D), and supplies the determination result to the control section 39.

After this, data demodulation processing is performed in data reception processing described above.

If bus reset occurs at step S341 because of connection of a new machine or disconnection of an existing machine while data is being transferred, the control section 39 receives a bus reset signal. After this, the control section 39 transmits a control signal to the cycle timer 33 for instructing the cycle timer 33 to store a new cycle time in another register. Upon reception of the control signal, the cycle timer 33 writes a new cycle time into a second register 2, for example.

At this time, the cycle timer 33 generates the cycle time of the home machine based on the cycle time stored in the register 1 and continues to supply the value of the generated cycle time to the match detection circuit 34.

The match detection circuit 34 uses the cycle time from the cycle timer 33 and SYT supplied from the SYT extraction section 36 to generate a reproduction reference clock signal C_{REF} .

On the other hand, the subtraction circuit 45 receives SYTs from the SYT extraction section 36, calculates a time difference between the received SYTs, and transmits the time difference to the determination circuit 46 at step S342.

The determination circuit 46 stores the time difference supplied from the subtraction circuit 45 and compares the time difference with the preceding time difference to determine whether or not the difference value between the time differences is within a predetermined range described later at step S343. If the value is within the predetermined range, usual processing is continued.

On the other hand, if the value is outside the predetermined range, the determination circuit 46 transmits a control signal to the control section 39.

Upon reception of the control signal, the control section 39 transmits a control signal to the cycle timer 33 for instructing the cycle timer 33 to rewrite cycle time. Upon reception of the control signal, the cycle timer 33 rewrites the cycle time stored in the register 2 into the register 1 at step S344, generates the cycle time of the home machine based on the cycle time, and supplies the generated cycle time to the match detection circuit 34.

After the cycle time rewrite is executed at step S344, usual operation is repeated until bus reset occurs.

If bus reset does not occur at step S341, usual operation is also repeated until bus reset occurs.

Thus, in the sixth embodiment, two or more cycle time registers for reflecting the cycle times before and after bus reset are provided in the receiving party. After the bus reset, the data stored before the bus reset is processed using the cycle time before the bus reset and after the data stored before the bus reset has been all processed, usual processing is performed using the cycle time after the bus reset, so that data demodulation is executed without losing data.

The specific calculation method of the subtraction circuit 45 for calculating the time difference (D) between SYTs and the determination method of the determination circuit 46 are as follows:

26

The SYTs shown in FIG. 33B are supplied from the SYT subtraction section 36 to the subtraction circuit 45, which then uses the SYTs to calculate the time difference (D) as

$$\text{time difference (D)} = \text{current SYT} - \text{immediately preceding SYT} \quad (8)$$

and supplies the time difference (D) to the determination circuit 46.

The determination circuit 46 detects the boundary between the SYT before bus reset and that after bus reset based on the time difference (D) and transmits the detection result to the control section 39. That is, the time difference (D') between the SYTs preceding and following the boundary differs from the time difference (D) between other SYTs, thus the SYTs between which the time difference (D') is found become the SYT before the bus reset and the SYT after the bus reset.

More specifically, in FIG. 33B, the subtraction circuit 45 calculates the time difference (D) as

$$\text{time difference (D)} = x21 - x20 \quad (9)$$

$$= a$$

next,

$$\text{time difference (D)} = x22 - x21 \quad (10)$$

$$= a$$

next,

$$\text{time difference (D)} = y0 - x22 \quad (11)$$

$$= b$$

At this time, the calculation results of (Expression 9) and (Expression 10) on the SYTs added when cycle time CT=X are each predetermined time difference (a). Just after bus reset, calculation is executed on SYT added when cycle time CT=X and SYT added when cycle time CT=Y. Thus, if the reference time before the bus reset differs from that after the bus reset, predetermined time difference (b) results. Therefore, the above-described boundary is detected by comparing the time difference values. In the example, the predetermined time difference calculated on the SYTs added when cycle time CT=X is (a); in fact, however, the time difference also contains a little jitter component a and therefore if it is compared with any other time difference, it is advisable to adopt $a \pm \alpha$.

The SYT before the bus reset and that after the bus reset are thus determined.

In the sixth embodiment, register change in the cycle timer 33 is made based on the determination result of the determination circuit 46, but it can also be made based on Buffer Size in either or both of the SYT extraction section 36 and the reception buffer as described above.

As described above, in the second to sixth embodiments of the invention, digital data sent by a transmitting party can be restored to a state in which it can be reproduced immediately at proper timing in a receiving party.

Thus, in the invention, when the reference time is changed as bus reset occurs, the transmitter or the receiver can deal with trouble caused by the reference time lag, so that all the problems are solved.

For example, audio data b in FIG. 14N already undergoes conversion to a packet before bus reset, thus cannot be handled in the transmitter, but can be corrected in the receiver.

Thus, it is advisable to provide a unit with both the transmitter and receiver methods if the unit can transmit and receive data. In this case, a cycle timer can be used for both the methods and the circuitry can be simplified.

In the invention, the time at which the reference time on the transmission bus changes is the time at which bus reset occurs. However, if bus reset does not occur, for example, when the cycle master node changes the reference time, the methods of the invention can be applied.

Although the non-blocking transfer method (in which conversion to a packet is executed in one Iso cycle unit), one of transmission methods defined in the A&M protocol, has been described, but the invention can also be applied to a blocking transfer method (in which conversion to a packet is executed in a predetermined number of sample units). It can also be applied at any other sampling frequency than 32 KHz.

In the embodiments, predetermined data is reproduced by the reception interface circuit 12, 13 according to the invention; the data to be reproduced may be video data or voice data. In the embodiments, the operation performed when the reception interface circuit 12, 13 is adopted for the transmission system complying with the IEEE1394-1995 standard has been described, but applicable transmission systems are not limited to those complying with the IEEE1394-1995 standard.

In short, the invention may be applied to a transmission interface unit in such a transmission system wherein time series data such as voice data or video data is divided into data groups and a data packet comprising reproduction specification time data (specifying the time at which each data piece in the data groups should be reproduced in a receiving party) added to the data groups is transmitted in a time division manner.

As described above, according to the invention, digital data sent by a transmitting party can be restored to a state in which it can be reproduced immediately at proper timing in a receiving party.

What is claimed is:

1. A transmission interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data, said reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced is added to each data packet, is transmitted on a transmission bus in a time division manner, said transmission interface unit comprising:

a cycle timer for counting a reference time of a home machine based on a reference time on the transmission bus;

generation means for generating the reproduction specification time data;

addition means for dividing the time series data into data groups, putting into packets, and adding the reproduction specification time data to the data in the packets; and

rewrite means for rewriting the reproduction specification time data generated by the generation means when the reference time on the transmission bus changes.

2. The transmission interface unit as claimed in claim 1 further comprising determination means for determining whether the reproduction specification time data generated by said generation means is reproduction specification time data generated before or after the reference time on the transmission bus changes and supplying the reproduction specification time data generated before the reference time on the transmission bus changes to said rewrite means based on the determination result.

3. The transmission interface unit as claimed in claim 1, wherein the cycle timer comprises at least two registers each for temporarily retaining the reference time on the transmis-

sion bus, at least the reference time of the home machine set before the reference time on the transmission bus changes and the reference time of the home machine set after the reference time on the transmission bus changes are retained in the registers, when the reference time on the transmission bus changes, the cycle timer calculates a difference between the reference times retained in the registers and transmits the difference to said rewrite means, and said rewrite means rewrites the reproduction specification time data based on the difference.

4. The transmission interface unit as claimed in claim 2, wherein said determination means and said rewrite means process the data in the packets that are output from the addition means.

5. A transmission interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data, said reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced is added to each data packet, is transmitted on a transmission bus in a time division manner, said transmission interface unit comprising:

a cycle timer for counting a reference time of a home machine based on a reference time on the transmission bus;

a generation section for generating the reproduction specification time data;

an addition section for dividing the time series data into data groups, putting into packets, and adding the reproduction specification time data to the data in the packets; and

a rewrite section for rewriting the reproduction specification time data generated by the generation section when the reference time on the transmission bus changes.

6. The transmission interface unit as claimed in claim 5 further comprising a determination section for determining whether the reproduction specification time data generated by said generation section is reproduction specification time data generated before or after the reference time on the transmission bus changes and supplying the reproduction specification time data generated before the reference time on the transmission bus changes to said rewrite section based on the determination result.

7. The transmission interface unit as claimed in claim 5, wherein the cycle timer comprises at least two registers each for temporarily retaining the reference time on the transmission bus, at least the reference time of the home machine set before the reference time on the transmission bus changes and the reference time of the home machine set after the reference time on the transmission bus changes are retained in the registers, when the reference time on the transmission bus changes, the cycle timer calculates a difference between the reference times retained in the registers and transmits the difference to said rewrite section, and said rewrite section rewrites the reproduction specification time data based on the difference.

8. The transmission interface unit as claimed in claim 6, wherein said determination section and said rewrite section process the data in the packets that are outputted from the addition section.

9. A transmission interface unit in a transmission system wherein time series data is divided into data groups and a data packet comprising reproduction specification time data, said reproduction specification time data specifying the time at which each data piece in the data groups should be reproduced is added to each data packet, is transmitted on a

29

transmission bus in a time division manner, said transmission interface unit comprising:

a cycle timer for counting a reference time of a home machine based on a reference time on the transmission bus; and

a controller for controlling:

generation of the reproduction specification time data;

division of the time series data into data groups, placement into packets, and addition of the reproduction specification time data to the data in the packets; and

rewriting of the generated reproduction specification time data when the reference time on the transmission bus changes.

10. The transmission interface unit as claimed in claim 9, wherein said controller further controls determining whether the generated reproduction specification time data is reproduction specification time data generated before or after the reference time on the transmission bus changes and rewriting the reproduction specification time data generated before the reference time on the transmission bus changes based on the determination result.

30

11. The transmission interface unit as claimed in claim 9, wherein the cycle timer comprises at least two registers each for temporarily retaining the reference time on the transmission bus, at least the reference time of the home machine set before the reference time on the transmission bus changes and the reference time of the home machine set after the reference time on the transmission bus changes are retained in the registers, when the reference time on the transmission bus changes, the cycle timer calculates a difference between the reference times retained in the registers and transmits the difference to said controller, and said controller controls the rewriting of the reproduction specification time data based on the difference.

12. The transmission interface unit as claimed in claim 10, wherein said controller controls the determining, the supplying and the rewriting of the data in the packets after the addition of the reproduction specification time data to the data in the packets.

* * * * *

特開平11-317748

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl.⁵

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/00

3 1 0 Z

G 1 1 B 20/10

G 1 1 B 20/10

D

H 0 4 L 5/22

H 0 4 L 5/22

B

12/40

7/00

Z

H 0 4 N 7/24

11/00

3 2 0

審査請求 未請求 請求項の数4 F D (全 32 頁) 最終頁に続く

(21)出願番号

特願平10-140479

(22)出願日

平成10年(1998)5月7日

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 松丸 誠

埼玉県鶴ヶ島市富士見6丁目1番1号 パ

イオニア株式会社総合研究所内

(72)発明者 美濃島 邦宏

埼玉県鶴ヶ島市富士見6丁目1番1号 パ

イオニア株式会社総合研究所内

(72)発明者 薄葉 英巳

埼玉県鶴ヶ島市富士見6丁目1番1号 パ

イオニア株式会社総合研究所内

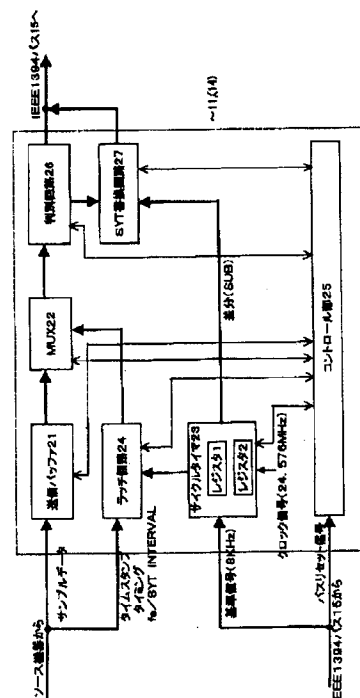
最終頁に続く

(54)【発明の名称】 伝送システムにおける送信インターフェース装置

(57)【要約】

【課題】 基準時間の変更や誤動作等の要因により、例えば、送信機側において送信すべきデータが送信時の基準時間よりも過去のデータになった際に、当該データを現在の時間のデータに補正して送信するための装置を提供することを目的とする。

【解決手段】 時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータパケットを伝送パス上に時分割伝送する伝送システムにおける送信インターフェース装置であって、伝送パス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、再生指定時間データを生成する生成手段と、時系列データを複数のデータ群に分割してパケット化し、当該パケット化されたデータに再生指定時間データを付加する付加手段と、再生指定時間データの書き換えを行う書換手段と、を備え、伝送パス上の基準時間が増加した際に、伝送パス上の基準時間の変化前にパケット化されたデータに付加されている再生指定時間データを書換手段によって書き換えることを特徴とする。



【特許請求の範囲】

【請求項1】 時系列データを複数のデータ群に分割して前記データ群中の各データを再生すべき時間を指定する再生指定時間データを前記データ群に付加してなるデータ packets を伝送バス上に時分割伝送する伝送システムにおける送信インターフェース装置であって、前記伝送バス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、前記再生指定時間データを生成する生成手段と、前記時系列データを複数のデータ群に分割してパケット化し、当該パケット化されたデータに前記再生指定時間データを付加する付加手段と、を備え、前記伝送バス上の基準時間が変化した際に、前記生成手段にて生成された再生指定時間データを書き換える書換手段を有することを特徴とする伝送システムにおける送信インターフェース装置。

【請求項2】 前記送信インターフェース装置は、前記生成手段にて生成された再生指定時間データの判別を行う判別手段をさらに備え、前記判別手段は、前記生成手段にて生成された再生指定時間データが前記伝送バス上の基準時間の変化前に生成された再生指定時間データか基準時間の変化後に生成された再生指定時間データかの判別を行い、当該判別結果に基づいて前記伝送バス上の基準時間の変化前に生成された再生指定時間データを前記書換手段に供給することを特徴とする請求項1記載の伝送システムにおける送信インターフェース装置。

【請求項3】 前記サイクルタイマは、伝送バス上から送信されてくる基準時間を一時的に保持するレジスタを少なくとも2つ備え、前記レジスタには、少なくとも前記伝送バス上の基準時間の変化前の自機の基準時間と前記伝送バス上の基準時間の変化後の自機の基準時間の2つの基準時間が保持され、前記伝送バス上の基準時間が変化した際に、前記サイクルタイマは前記各レジスタに保持されている前記基準時間の差分を演算し、当該差分を前記書換手段に送信し、前記書換手段は、前記差分に基づいて前記再生指定時間データを書き換えることを特徴とする請求項1乃至2のいずれか一項に記載の伝送システムにおける送信インターフェース装置。

【請求項4】 前記判別手段及び書換手段は、前記付加手段の後段にあることを特徴とする請求項2乃至3のいずれか一項に記載の伝送システムにおける送信インターフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、時系列を有するデジタルデータをデータパケットにて高速転送するデータ転送装置に関するものである。

【0002】

【従来の技術】オーディオ機器、ビデオ機器、コンピュータ等の電気機器間でオーディオ信号やビデオ信号等の時系列を有するデジタルデータをデータパケット化して高速転送するためのインターフェース規格としてIEEE1394-1995規格が提案されている。

【0003】

【発明が解決しようとする課題】しかしながら、1394-1995規格に基づくデータ転送装置において、系の基準時間の変更や誤動作等の要因により、例えば送信機側において、送信すべきデータが送信時の基準時間よりも過去のデータになり、当該データを受信した受信側ではかなりの期間に亘ってその後受信したデータパケットから個々のデジタルデータを適正なタイミングで再生できない場合が生じると考えられる。

【0004】そこで、本発明の目的は、基準時間の変更や誤動作等の要因により、送信すべきデータが基準時間よりも過去のデータになった際に、当該データを現在の時間のデータに補正して送信するための装置を提供することである。また、送信機側にて上記問題点を対処できないデータに対しては、受信機側にて対処するための装置を提供することである。

【0005】

【課題を解決するための手段】請求項1に記載の発明は、時系列データを複数のデータ群に分割してデータ群中の各データを再生すべき時間を指定する再生指定時間データをデータ群に付加してなるデータ packets を伝送バス上に時分割伝送する伝送システムにおける送信インターフェース装置であって、伝送バス上における基準時間に基づいて自機の基準時間を計数するサイクルタイマと、再生指定時間データを生成する生成手段と、時系列データを複数のデータ群に分割してパケット化し、当該パケット化されたデータに再生指定時間データを付加する付加手段と、を備え、伝送バス上の基準時間が変化した際に、生成手段にて生成された再生指定時間データを書き換える書換手段を有することを特徴とする。

【0006】また、請求項2に記載の発明は、請求項1に記載の発明において、当該送信インターフェース装置は、生成手段にて生成された再生指定時間データの判別を行う判別手段をさらに備え、判別手段は、生成手段にて生成された再生指定時間データが、伝送バス上の基準時間の変化前に生成された再生指定時間データか基準時間の変化後に生成された再生指定時間データかの判別を行い、当該判別結果に基づいて伝送バス上の基準時間の変化前に生成された再生指定時間データを書換手段に供給することを特徴とする。

【0007】また、請求項3に記載の発明は、請求項1乃至2のいずれか一項に記載の発明において、当該サイクルタイマは、伝送バス上から送信されてくる基準時間を一時的に保持するレジスタを少なくとも2つ備え、レ

ジスタには、少なくとも伝送バス上の基準時間の変化前の自機の基準時間と伝送バス上の基準時間の変化後の自機の基準時間の2つの基準時間が保持され、伝送バス上の基準時間が変化した際に、前記サイクルタイマは各レジスタに保持されている基準時間の差分を演算し、当該差分を書換手段に送信し、書換手段は、差分に基づいて再生指定時間データを書き換えることを特徴とする。また、請求項4に記載の発明は、請求項2乃至3のいずれか一項に記載の発明において、判別手段及び書換手段は、付加手段の後段にあることを特徴とする。

【0008】請求項1に記載の発明によれば、伝送バス上の基準時間が変化した際に、伝送バス上の基準時間の変化前に生成された再生指定時間データを書換手段によって書き換えるので、バス上に送信すべきデータが基準時間よりも過去のデータになった際に、当該データを現在の時間のデータに補正して送信することが可能となる。

【0009】また、請求項2に記載の発明によれば、判別手段は、伝送バス上の基準時間の変化前に生成された再生指定時間データか基準時間の変化後に生成された再生指定時間データかの判別を行い、当該判別結果に基づいて伝送バス上の基準時間の変化前にパケット化された再生指定時間データを書換手段に送信することができるので、バス上に送信すべきデータが基準時間よりも過去のデータのみに対して適切に当該データを現在の時間のデータに補正して送信することが可能となる。

【0010】また、請求項3に記載の発明によれば、伝送バス上の基準時間が変化した際に、サイクルタイマはレジスタに保持されている自機の基準時間の差分を演算し、当該差分を書換手段に送信し、書換手段は、差分に基づいて再生指定時間データを書き換えることができるので、バス上に送信すべきデータが基準時間よりも過去のデータのみに対して適切に当該データを現在の時間のデータに補正して送信することが可能となる。また、請求項4に記載の発明によれば、判別手段及び書換手段は、付加手段の後段にあるので、伝送バス上に送信する直前に再生時間データを補正することが可能となる。

【0011】

【発明の実施の形態】以下、本発明の実施例を図に基づいて詳細に説明する。図1は本発明を適用したデータ転送装置である。このデータ転送装置は、IEEE1394-1995規格に基づく高速シリアルデータ転送インタフェースを備え、複数の電気機器1₁～1₅がデジチェーン(daisy chain)方式と分岐方式とでケーブル及びコネクタを用いて着脱自在に接続されるものである。複数の電気機器1₁～1₅とは、例えばデジタルビデオテープレコーダ、デジタルビデオディスクプレーヤ、パーソナルコンピュータ、デジタルビデオカメラ、ハードディスクドライブ、スキャナ、プリンタ等のデジタルデータを入力又は出力する機器である。すな

わち、電気機器にはパーソナルコンピュータ及びそれに接続される周辺機器に限らず、デジタルデータを入力又は出力する家電製品も含まれるのである。複数の電気機器1₁～1₅各々はデジチェーンの末端で接続するだけならば1つのコネクタジャックを備えたものでも良いが、デジチェーン方式を可能にする機器は2つのコネクタジャックを備え、分岐方式を可能にする機器は3つ以上のコネクタジャックを備えている。コネクタジャックに接続されるコネクタプラグは各ケーブルの両端に備えられている。このようにケーブルで接続された経路がデータ転送用のバスである。

【0012】次にIEEE1394-1995規格のデータ転送プロトコルについて説明する。このプロトコルでは電気機器はノードと称され、各ノードには電気機器を互いに識別するためにノードIDが付けられる。また、各ノードはブランチノード及びリーフノードのいずれかとなる。すなわち、ブランチノードとは2つ以上のノードに接続されたノードであり、リーフノードは1つのノードにだけ接続された末端のノードである。複数のノードが接続された状態においては、電源投入時、バスにノードが追加接続された時、又はいずれかのノードがバスから外された時にバスリセット信号が発生する。バスリセット後において、複数のノード間においてルートノードが決定される。

【0013】まず、ルートノードの決定方法に関して詳述する。バス上に接続された各ノードは、自機がブランチノード及びリーフノードのいずれであるかを判断して、複数のノードの接続形態(トポロジ)を情報として検出する。リーフノードと判断したノードはブランチノードに対して子ノードから親ノードへの通知を示す信号parent notifyを送出する。信号parent notifyを受けたノードはそのリーフノードに対して親ノードから子ノードへの通知を示す信号child notifyを送出する。これによりリーフノードを含むノード間の親子関係が決定される。この後、ブランチノード間においては、信号parent notify及びchild notifyのいずれも送受信を行っていないので、親子関係が決まっていないことを認識して、信号parent notifyを互いに送受する。互いに信号送受した2つのブランチノード各々は信号parent notifyを受け取ったことを判断すると、互いに独立した時間を設定する。その設定時間が先に経過した一方のブランチノードは信号parent notifyを他方のブランチノードに送出する。他方のブランチノードはその設定時間が経過しないうちに一方のブランチノードからの信号parent notifyを受け取ったので、その2つのブランチノード間の親子関係は決定される。このようにして最後に親子関係が決定した2つのブランチノード間の親ノードがルートノードとなる。

【0014】例えば、図2に示すようにノードA～Fが接続されたトポロジの場合には、先づ、リーフノード

A, E, Fが子ノードであることが決定される。リーフノードA, E, F各々のポートはcで示すように子ノードに相当し、それらリーフノードが接続されたブランチノードBの一方のポート及びブランチノードDの2つのポートはpで示すように親ノードに相当する。次に、ブランチノードC, D間においては、ノードCは2つのポートのいずれも決定されていないので、ブランチノードDが先にparent notify をブランチノードCに送出することになる。これは、ポートが1つになった方が先にparentnotify を送出することになっているためである。よって、この時点で、ブランチノードDの残りの1つのポートが子ノードcに相当し、ブランチノードCの一方のポートが親ノードpに相当する。ここでノードB, C間においても、上述した関係、すなわち、ノードBのポートが1つになり、ノードCのポートはいずれも決定されていない状態をとるが、本例の場合には、ノードA, B間の親子関係が決定する前にノードC, D間の親子関係が決定した場合を想定している。

【0015】よって、最後に、ブランチノードB, C間では、両ノードともポートが1つになったためお互いにparent notify を送出することになる。この時には、先述したように、互いに信号送出した2つのブランチノード各々はparent notify を受け取ったことを判断すると、互いに独立した時間を設定する。本例では、ブランチノードCが先に設定時間に達したため、ブランチノードBに対してparentnotify を再送出している。ブランチノードBはその設定時間が経過しないうちに一方のブランチノードからのparent notify を受け取ったので、その2つのブランチノード間の親子関係は決定される。すなわち、ブランチノードCの他方のポートが子ノードcに相当し、ブランチノードBのポートが親ノードpに相当する。このようにして最後に親子関係が決定した2つのブランチノード間のうち、親ノードとなったノードBがルートノードとなる。

【0016】次に、各ノードのノードIDの付与方法に関して詳述する。まず、ルートノードはノードIDを付与するための信号を各ノードに通知する。この通知処理においては、子ノードを接続したポート番号順に端末のリーフノードから若い番号（ノード番号0から）のノードIDが設定される。ルートノードが最も大きなノード番号のノードIDとなる。例えば、図2のトポロジの場合には、図3に示すようにノードIDが付与されるが、その付与方法は、まず、ルートノードであるノードBが自機においてポート番号の若いポートに接続されているノードAに対して、ノードID番号を付与させるための信号grant を送出する。なお、図3においてバスの接続端子付近に付されている番号がポート番号である。ノードAは、リーフノードであるため、grant 信号を受信後、ノードID番号を決定した後、親ノードに対して番号付けを行なったと言う確認の信号を送出する。その

後、ノードAは、全ノードに対して自機のノードID番号（ID=0）を送出する。ID番号を受け取った全ノードは、自機のノードカウンタをインクリメント（IDカウンタ=0）する。

【0017】次に、ルートノードBは、自機においてポート番号が次に若いポートに接続されているノードCに対して、ノードID番号を付与させるための信号grant を送出する。ノードCは、リーフノードではないため、自機においてポート番号の若いポートに接続されているノードDに対して、ノードID番号を付与させるための信号grant を送出する。ノードDも、リーフノードではないため、自機においてポート番号の若いポートに接続されているノードFに対して、ノードID番号を付与させるための信号grant を送出する。ノードFは、リーフノードであるため、grant 信号を受信後、ノードID番号をつけた後、親ノードDに対して番号付けを行なったと言う確認の信号を送出する。その後、ノードFは、全ノードに対して自機のノードID番号（ID=1）を送出する。ID番号を受け取った全ノードは、自機のノードカウンタをインクリメント（IDカウンタ=1）する。次に、ノードDは自機においてポート番号が次に若いポートに接続されているノードEに対して、ノードID番号を付与させるための信号grant を送出する。以下上述した順番で各機器のノードID番号が付与され、図3のようになる。ノードIDの通知が終了すると、複数のノードのうちからバスマネージャ及びアイソクロナス・リソース・マネージャが選択される。バスマネージャは、電力管理、トポロジマッピング及びスピードマッピングを管理し、アイソクロナス・リソース・マネージャは、アイソクロナスの帯域制御、アイソクロナスチャネル制御を管理するが、その詳細は省略する。

【0018】データ転送にはアイソクロナス転送と、アシンクロナス転送とがある。アイソクロナス転送は周期的に送信する必要がある同期データの転送用であり、アシンクロナス転送は非同期データの転送用である。データ転送の1サイクルは $125\mu\text{sec}$ であり、各サイクル内には図4に示すように、まず、サイクルスタートパケットCS、アイソクロナスパケット I_1 , I_2 、アシンクロナスパケット（Asynchs転送）がその順で位置する。サイクルスタートパケットCSはサイクルマスタノード（例えばルートノード）から全てのノードに対して転送され、そのデータ転送サイクルの開始を示す。例えば、図5に示すように、IEEE1394-1995規格に基づくバスに5つのノードA～Eが接続されているとすると、各ノードA～Eは 24.576MHz の周波数で計数して時間値を得るサイクルタイマを備え、サイクルタイマの計数タイミングでデータ送受信動作を行なう。ここで、ノードEがサイクルマスタノードであるならば、ノードEは $125\mu\text{sec}$ 毎にサイクルスタートパケットCSをノードA～Dに供給するためにバス上へ送出

する。サイクルスタートパケットCSにはノードEのサイクルタイマの時間値が示されており、各ノードA～DはサイクルスタートパケットCSを受信することにより、自機のサイクルタイマの時間値を受信サイクルスタートパケットCSに示されたノードEのサイクルタイマの時間値（基準時間）に等しくさせるのである。これにより、同一のバスに接続された全てのノードA～Eのデータ送受信動作タイミングを同期させることになる。

【0019】アイソクロナスパケットはアイソクロナス転送用のパケットであり、1回のアイソクロナスサイクルの間に転送するアイソクロナスパケットの単位をチャンネルと呼ぶ。図4では2つのチャンネル分のパケット I_1 、 I_2 が示されているが、パケット数は各サイクル毎に設定され、複数のチャンネル分のパケットが時分割多重化されている。アイソクロナスパケットでデータ転送するノードは予約手続を予め行ないチャンネルを取得した後であれば、 $125\mu\text{sec}$ に1回はデータパケットを送出することができる。アイソクロナスパケットは具体的には図6に示すように、アービトレーションと、データパケットとからなる。アービトレーションはデータ転送に先立ってバス使用权をルートノードに要求し、使用許諾を得るためのデータである。いずれかのノードが使用許諾を得た場合にはルートノードからそれを知らせる信号が各ノードに直ちに供給される。データパケットは、使用許諾を得た場合に送出され、ヘッダ、ヘッダCRC、CIPヘッダ、データ部、及びデータCRCを時間順に有している。ヘッダにはアイソクロナスパケットで転送するデータの種別を示すチャンネルナンバ及びそのデータの時間的長さを示すデータサイズ等が情報として含まれる。チャンネルナンバは0～63までである。

【0020】CIPヘッダの構成は図7に示すようになっている。その構成を簡単に説明すると、SIDは送信器のID番号を付与するための領域である。DBSは1サンプルデータ（データブロック）のサイズである。FN、QPC、SPHは例えばMPEGデータなどの映像データを送出する際に必要な領域であり、FNはソースパケットをIEEE1394のパケットにするためにいくつのデータブロックに分割しているのかを示す数値、QPCはソースパケットのサイズをDBS倍数にするために加えられたダミーのクワドレット数（1クワドレットは4バイト）を示す値、SPHは上記分割したデータパケットのうちソースパケットヘッダが含まれているデータパケットに対しては1を付与するための領域である。また、Rsvは予約、DBCはサンプルデータの連続番号を付与する領域であり、CIPヘッダに示されるDBCはデータパケットの最初のサンプルデータの番号である。次に、FMTはフォーマットIDであり、データのプロトコルに応じて付けられる領域であり、例えば、A&M（Audio/Music）プロトコルの場合には、A&Mプロトコルのフォーマット情報が付与される。FD

Fは、前述したFMTに準拠した領域である。例えば、A&M（Audio/Music）プロトコルの場合には、各データのサンプリング周波数などが付与される。SYTは受信側において、当該パケットデータを復調する時間を指し示すものであり、タイムスタンプデータ（再生指定時間データ）のことである。この再生指定時間データSYTは、上述したようにCIPヘッダのうち下位16bitにより構成され、この下位16bitのうち、上位4bitはサイクルカウントと呼ばれ、1Isoサイクル（ $125\mu\text{s}$ ）毎のカウントを行い、下位12bitはサイクルオフセットと呼ばれ、 24.576MHz のクロックでカウントを行うものである。

【0021】アシンクロナスパケットは転送先を指定してデータを転送するためのパケットである。転送先は特定の1ノード又はバス上の全てのノードである。アシンクロナスパケットは具体的には図8に示すように、アービトレーションと、データパケットと、アクノリッジパケットとからなる。アービトレーションはデータ転送に先だつてバス使用权をルートノードに要求し、使用許諾を得るためのデータである。データパケットは、ヘッダ、ヘッダCRC、データ部、及びデータCRCを時間順に有している。そのヘッダにはアシンクロナスパケットで転送するデータの宛先のノードID、発信元のノードID、及びそのデータの時間的長さを示すデータサイズ等が情報として含まれる。アクノリッジパケットはアシンクロナスパケットでデータ転送された宛先のノードがデータ受信を確認して発信元のノードに対して送信するパケットである。

【0022】次に、アイソクロナスパケットによるオーディオデータの転送方法について説明する。図9に概略的に示すように、サンプリング周波数 f_s が例えば、 44.1kHz の時系列のデジタルデータであるオーディオデータDATAは1の電気機器9内の送信器11から他の電気機器10内の受信器12にIEEE1394-1995規格に基づくバス15を介して供給されるとする。電気機器9内には受信器12と同様の受信器13が備えられ、また電気機器10内には送信器11と同様の送信器14が備えられている。送信器11（14）においては、図10に示すように、オーディオデータの各サンプルデータが送信バッファ21に順次蓄えられ、その蓄えられたデータがMUX（マルチプレックス）22にてデータパケット化されてからバス15上に出力される。

【0023】一方、レジスタからなるサイクルタイマ23には上記した 24.576MHz のクロック信号が供給されると共に、サイクルマスタノードから 8kHz の基準信号（基準時間の基となる信号）が供給される。この基準時間により、すべてのノードの時間合わせが行われる。なお、図10はサイクルマスタノード以外のノードの構成を示しており、サイクルマスタノードの場合に

は、自機のクロックにより基準時間を生成するので、8 KHzの基準信号は供給されない。サイクルタイム23は基準信号で示された値からクロック信号を計数し、その計数値を時間値としてラッチ回路24に供給する。ラッチ回路24にはタイムスタンプタイミング信号 f_s /SYT INTERVALが周期的に供給される。このタイムスタンプタイミング信号 f_s /SYT INTERVALは図示しない手段で生成され、サンプルデータ（データブロック）にタイムスタンプ、すなわち時間情報を付加するタイミングを示す信号であり、サンプリング周波数 f_s /サンプル間隔SYT INTERVALで求められる周波数である。

【0024】サンプル間隔SYT INTERVALはサンプルデータにタイムスタンプ（SYT）を付加するサンプル間隔であり、例えば、8である。よって、ラッチ回路24は、タイムスタンプタイミング信号 f_s /SYT INTERVALが供給されたときのサイクルタイム23の時間値を保持する。この保持した時間値は後述する転送遅延時間 T_D を加算されてMUX22に供給され、パケット化の際にサンプル間隔SYT INTERVALでサンプルデータに対して付加される。よって、サンプル間隔SYT INTERVAL毎の時間値を有するサンプルデータがデータパケットとしてバス15上に送出される。なお、図示していないがラッチ回路24の出力に転送遅延時間 T_D を加算するために加算器が設けられている。また、送信バッファ21、MUX22、サイクルタイム23、ラッチ回路24はコントロール部25によって制御される。当該コントロール部25は、伝送バス上から送出されてくるバスリセット信号を受信し、その後、後述する所定の制御信号を各回路へ送出する。

【0025】受信器12（13）においては、図11に示すように、バス15からのデータパケットがサイクルスタートパケット抽出部31及びアイソクロナスパケット用のデータパケット抽出部32に供給される。バス15を介して転送されたデータパケットから、サイクルスタートパケット抽出部31はサイクルスタートパケットCSを抽出し、データパケット抽出部32はアイソクロナスパケットを抽出する。抽出されたサイクルスタートパケットCSはサイクルタイム33に供給され、サイクルタイム33はそのサイクルスタートパケットCSに示された時間値がセットされ、そのセット時間値から24.576MHzのクロック信号を計数して、その計数値をサイクルタイム（基準時間） T_c として一致検出回路34に供給する。

【0026】一方、データパケット抽出部32で抽出されたアイソクロナスパケットは受信バッファ35に蓄積されると共に、アイソクロナスパケット中のCIPヘッダに備えられたSYTがSYT抽出部36で取り出されて一致検出回路34に対して保持出力される。一致検出回路34はサイクルタイム33から供給されたサイクルタイム T_c とSYT抽出部36から供給されたSYTと

を比較し、その時間値が一致した時に再生基準クロック信号 C_{REF} をPLL回路37に出力する。PLL回路37は再生基準クロック信号 C_{REF} に位相同期して再生サンプリングクロック信号 f_s を生成する。再生サンプリングクロック信号 f_s は受信バッファ35及びD/A変換器38に供給される。受信バッファ35は蓄積されたデータパケットの各サンプルデータを再生サンプリング信号 f_s に同期して各サンプルデータ単位に分離して出力する。D/A変換器38は受信バッファ35から出力されたサンプルデータを再生サンプリングクロック信号 f_s に同期してアナログオーディオ信号に変換する。そして、これら各回路を一括制御するコントロール部39を備えている。なお、バス上から送信されてくるバスリセット信号はコントロール部39にて受信される。

【0027】データパケットの転送方法を更に説明すると、図12に示すように、バス15上のサイクルタイムが5、6、7・・・（図12（a）Cycle Timer）で、送信器11（14）側ではタイムスタンプタイミング信号 f_s /SYT INTERVALが図12（c）に示す信号波形の如く発生している場合、このタイムスタンプタイミング信号 f_s /SYT INTERVALの立ち上がり時点の時間値 T_1 、 T_2 、 T_3 、……がその時点のサンプルデータa、b、c……に対応する。すなわち、サンプルデータ列は図12（d）に示すように、125 μ sec毎に例えば8サンプル単位（サンプルデータ列aの場合のみ図示）でパケット化（図12（e））され、そのサンプルデータ列のうちのタイムスタンプタイミング信号 f_s /SYT INTERVALの立ち上がり時点に位置するサンプルデータの時間値 T_1 、 T_2 、 T_3 、……が上記のCIPヘッダにSYTとして付加される。その時間値が付加されるサンプルデータの間隔はサンプル間隔SYT INTERVAL（図12の例では8）となる。時間値 T_1 、 T_2 、 T_3 、……は対応したサンプルデータの受信側での再生出力時点を示すデータであり、上記したように送信器側のサイクルタイムの現時点の時間値に対して転送遅延時間 T_D を加味させている。その後、データパケットはパケット化が行われた125 μ secサイクルの次のサイクルでバス15上に図12（e）に示すように、パケット化されたデータが送出される。

【0028】受信器12（13）側では送信器11（14）から送出されたアイソクロナスパケットISOを抽出した後、それを受信バッファ35に蓄積することが行なわれる。例えば、図12（a）に示すサイクルタイムの時間値がサイクルタイム=9になったときに、受信器側では、再生サンプリングクロック信号 f_s に同期して、図12（g）に示すようにaのサンプルデータが受信バッファ35から出力される。また、受信器12のサイクルタイム33の時間値がサイクルタイム=11になったときに、再生サンプリングクロック信号 f_s に同期し、bのサンプルデータが受信バッファ35から出力さ

れる。このような動作が再生基準クロック信号 C_{REF} が得られる限り繰り返されるので、データ転送が可能となるのである。

【0029】このように、受信側では転送されてきたデータをバッファし、その受信データのSYT（再生指定時間時間データ）と受信側のサイクルタイムから出力された時間値 T_c （基準時間）とが一致した場合に、そのデータの処理を行うのである。

【0030】しかしながら、アイソクロナス伝送を行っているバス上に、例えば、新たなバスが接続された場合、バスリセットが生じるが、その際、新たに接続されたバス上の機器がサイクルマスタノードになり、元の系のサイクルタイムが変化する可能性がある。この時、伝送バス上の基準時間が変化した系の送信器では、バスリセット前の基準時間で計算したSYTを含むパケットを送信する可能性があり、当該パケットを受信したノードは、最悪の場合、受信データのSYT（再生指定時間時間データ）と受信側のサイクルタイムから出力された時間値 T_c とが一致しないか又は一致するのに非常に時間が掛かる場合があり、例えば、受信側のバッファがあふれ正常な受信データの処理ができなくなる可能性がある。

【0031】具体的には、次のような場合が考えられる。図13のように、ノードA（サイクルマスタノード）とノードBがバス15で接続され、当該バス上のサイクルタイムがサイクルタイム1である系と、ノードC（サイクルマスタノード）とノードDがバス15で接続され、当該バス15上のサイクルタイムがサイクルタイム2である系とがあり、例えば、ノードAがデータ送信を行い、ノードBが当該データを受信している状態であるとする。この状態において、ノードBとノードCがバス15で接続され、ノードA乃至Dが1本の系になり、ノードCがサイクルマスタノードになったとする。この時、ノードAでは、サイクルタイム（基準時間）が変更することになる。

【0032】図14は上記の1例を詳細に示す図である。図14において、(h)乃至(n)は、送信器側の状態を表しており、これら(h)乃至(n)は、

(h) BUSが接続または解除された時に発するバスリセット信号である。図の状態は信号レベルがLowレベルからHighレベルに切り替わっている状態の時にBUSの接続または解除が行われたことを示している。

(i) バスリセット前の系のサイクルタイムである。本実施例においては1150サイクルが125[μs]である。なお、図12(a)と同一のものである。

(j) バスリセット後の系のサイクルタイムである。本実施例においても1150サイクルは125[μs]である。

(k) 再生指定時間データSYTの発生タイミングを示すものである。

(l) 図12(c)の f_s/SYT INTERVAL と同一のものである。

(m) 図12(d)のサンプルデータと同一のものである。

(n) 図12(e)のパケット化されたデータと同一のものである。また、(o)及び(p)は、受信器側の状態を表しており、

(o) 図12(f)と同一のものである。

(p) 図12(g)と同一のものである。

【0033】例えば、少なくとも2つのノードが、サイクルタイム1でデータの送受信を行っているとする。図14においては、サイクルマスタノードから送出される基準時間によって、受信器側のサイクルタイムは125[μs]毎に1ずつ増え、サイクルタイム1=5, 6, 7・・・として、接続されたノードが基準時間の時間合わせを行っている。この時、再生指定時間データSYTは、(k)のタイミングで発生しているため、オーディオデータには(k)のタイミングで再生指定時間データSYTが付加される。なお、本実施例においては、再生指定時間データSYTに加えられる転送遅延時間 T_D を4としている。よって、例えば、サンプルデータaには、

【0034】

【数1】

SYT=現在のサイクルタイム+転送遅延時間

=5+4

=9

の時間が付加されている。また、サンプルデータbには、

【0035】

【数2】

SYT=現在のサイクルタイム+転送遅延時間

=7+4

=11

の時間が付加されている。以下同様に、各サンプルデータに対してSYTが付加される。そして、図10にて説明した所定の手順により、当該データはパケット化され、伝送バス15上に送出される。受信側のノードは、当該パケット化されたデータを受信し、図11にて説明した所定の手順により、当該パケット化されたデータを復調する。例えば、図14に示すサンプルデータaは、サイクルタイムが9の時に復調される。このようにデータの送受信が行われている状態において、新たな機器の接続により伝送バス15上にバスリセットが生じ、当該新たな機器がサイクルマスタノードになる場合を考える。

【0036】図14においては、サイクルタイム9の時に伝送バス15上にバスリセットが生じ、新たな機器がサイクルマスタノードとなった場合を想定している。この時、新たな機器のサイクルマスタノードが、サイクル

タイム2=3, 4, 5・・・であるため、サイクルタイム1で基準時間が設定されていたノードも、サイクルタイム2で基準時間の時間合わせを行う。よって、バスリセット後のオーディオデータdは、新たなサイクルタイムによりSYTが生成されるため、

【0037】

【数3】

SYT=現在のサイクルタイム+転送遅延時間

=3.6+4

=7.6

の時間が付加されることになる。この時、バスリセット前にすでにパケット化処理が行われていたオーディオデータcは、SYT=13が付加されているため、当該データを受信したノードは当該データを復調するまでには相当の時間を要することになる。よって、このような場合には、送信器側で下記のような方法により再生指定時間データ(SYT)に補正を加え、送信すれば良い。

【0038】(第1の実施の形態:送信機側)図15は、上述した問題点を送信器側で対処する1手法を示した送信機の状態を示すフローチャートである。図16は、図10の回路図から本手法に係る部分を抜粋したものであり、図10と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、図16もサイクルマスタノード以外のノードの送信器の状態を示している。本実施の形態においては判別回路26、SYT書換回路27を新たに備えている。また、サイクルタイム23には、サイクルタイムを保持するためのレジスタを2つ備えている。ここで、判別回路26は、MUX22より送信されてくるデータが、バスリセット前のデータかバスリセット後のデータかを判別する回路である。また、SYT書換回路27は、判別回路26より送信されてくるデータのSYTをサイクルタイム23から出力される差分(SUB)に基づいて書き換える回路である。

【0039】以下、図15のフローチャートを基に、図14及び図16を用いて本発明の実施の形態に関して具体的な方法を説明する。前述したように、例えば、少なくとも2つのノードが、サイクルタイム1でデータの送信を行っているとする、サイクルタイム1=5, 6, 7・・・がサイクルマスタノードから送信され、当該サイクルマスタノードに接続されているノードが基準時間の時間合わせを行う。その際、サイクルタイム23は、例えば、サイクルタイム23内のレジスタ1に基準時間としてのサイクルタイム1を保持し、当該サイクルタイム1で示された値からクロック信号を計数し、その計数値を時間値としてラッチ回路24に供給する。そして、伝送バス15上にデータを送信するノードは、前述したようにラッチ回路24において、所定のSYTを生成し、MUX22にて当該SYTをデータに付加し、伝送バス15上にISOパケットを送信する(ステップS

151)。この状態において、伝送バス15上にバスリセットが生じる(ステップS152)と、コントロール部25はバスリセット信号を受信する。バスリセットが生じない場合には、通常通りにISOパケットの送受信が継続される(ステップS152:N)。

【0040】コントロール部25は、当該バスリセット信号を受信した後、サイクルタイム23及び判別回路26に所定の制御信号を送信する。サイクルタイム23では、当該制御信号を受信後、バスリセット後に受信したサイクルタイム2を、例えばレジスタ2に保持する。そして、レジスタ1とレジスタ2のサイクルタイムが変化したかどうかを確認(ステップS153)し、変化しない場合は、レジスタ1に保持されたサイクルタイムの値で通常の処理を行う(ステップS153:N)。一方、レジスタ1とレジスタ2のサイクルタイムが変化した場合には、レジスタ1に保持されているサイクルタイムの値とレジスタ2に保持されているサイクルタイムの値の差分(SUB)を

【0041】

【数4】差分(SUB)=レジスタ1のサイクルタイム値-レジスタ2のサイクルタイム値

により、演算(ステップS154)し、SYT書換回路27にその差分(SUB)を出力する。なお、サイクルタイム23は、バスリセットが生じた後、サイクルタイム2に基づいて当該サイクルタイム2で示された値からクロック信号を係数し、その計数値を時間値としてラッチ回路24に供給している。例えば、図14に示されているように、サイクルタイムがサイクルタイム2となり、サイクルタイム23は、サイクルタイム2=3, 4, 5・・・で基準時間の時間合わせを行う。

【0042】判別回路26では、当該制御信号を受信後、MUX22から供給されるデータがサイクルタイム=1の値かサイクルタイム=2の値かを判別する(ステップS155)。この判別方法は、例えば、(I)受信バッファ21またはサイクルタイム23において、バスリセット後のデータを当該バッファに蓄積させる際に当該データにフラグをたて、判別回路26では当該フラグによりサイクルタイム=1の値かサイクルタイム=2の値かを判別する方法や、(II)バスリセット時の受信バッファ21またはサイクルタイム23内のバッファサイズを検出し、判別回路26では供給されてくるデータのサイズを比較することによりサイクルタイム=1の値かサイクルタイム=2の値かを判別する方法や、または、(III)判別回路26が、サイクルタイム23又はコントロール部25から現在のサイクルタイムを受信し、当該サイクルタイムに転送遅延時間を加えた値とMUX22から送出されるデータに付加されているSYTを比較し、その時間値が一致しない場合は、バスリセット前のデータであると判断する方法などがあげられる。

【0043】例えば、上記(III)の場合には、図14の

例で考えると、パケット化されたサンプルデータ c は、 $SYT = 13$ が付加されており、この 13 と現在のサイクルタイムであるサイクルタイム $= 4$ に転送遅延時間 4 を加えた 8 とを比較し、その各々の時間値が一致しない場合には、当該データを SYT 書換回路 27 に送出するのである。判別回路 26 では、バスリセット後の新たなサイクルタイムのデータはそのまま伝送バス 15 上に送出（ステップ $S155 : N$ ）し、バスリセット前のデータは SYT 書換回路 27 に送出する。 SYT 書換回路 27 は、サイクルタイム 23 から差分（ SUB ）を受信し、判別回路 26 からバスリセット前のデータを受信する。そして、新たな SYT' を

【0044】

【数5】 $SYT' = SYT - \text{差分}(SUB)$

として生成（ステップ $S156$ ）し、当該データの SYT を SYT' に書き換える。その後、当該データを伝送バス 15 上に送出する（ステップ $S157$ ）。ステップ $S157$ 以後は、再び、判別回路 26 で MUX から送信されるパケットの判別（ステップ $S155$ ）を行い、当該パケットがバスリセット前のデータの場合には、再び、ステップ $S156$ 以降の処理が行われ、バスリセット後のデータの場合には、ステップ $S151$ に戻り、通常の送信が行われる状態になる。なお、ステップ $S153$ のサイクルタイムの変化のチェックは、コントロール部 25 が行うことも可能である。このように、第1の実施の形態においては、バスリセットが発生した後、送信側のノードにおいて、バスリセット前のサイクルタイムにおいて SYT を付加したデータの内、まだ、送信されていないデータの SYT を新たなサイクルタイムの値に基づいて書き換えるので、受信側のノードにおいて発生する時間ずれの問題を回避できることになる。

【0045】なお、伝送バス上にデータを送出する直前に第1の実施の形態における補正を行うのが好ましいため、判別回路 26 及び書換手段 27 は、図 16 に示すように $MUX22$ の後段に備えるのが最適であるよいが、ラッチ回路 24 の後段にあればいずれの場所にあってもよい。すなわち、再生指定時間データ（ SYT ）が生成されたあとに、当該データが基準時間変化前のデータか又は基準時間変化後のデータかの判別を行い、書換手段にて補正を行えば良いのである。また、第1の実施の形態においては、情報の欠落を完全に防ぐことが可能となるが、情報の欠落を一部であれば許せるようなデータの場合には、図 16 における回路の SYT 書換回路 27 をデータ削除回路として、時間ずれが生じたデータを削除することも可能である。その際は、差分（ SUB ）は必要ないので、サイクルタイム 23 内のレジスタを少なくとも1つ持てば良く回路の簡素化が図れる。

【0046】次に、本発明の問題点を受信機側にて対処する実施の形態に関して説明する。先ず、図 13 にて説明したバスの接続状態の際に、受信機側の状態がどのよ

うな状態を取っているかを図 17 を用いて説明する。図 17 に示すようにサイクルタイム： $CT = X$ にて送受信が行われている少なくとも2台のノードを接続しているバス 15 と、サイクルタイム： $CT = Y$ にて送受信が行われている少なくとも2台のノードを接続しているバス 15 とが互いに接続され、接続されたバス 15 上のサイクルタイムが $CT = Y$ となる場合である。この時、サイクルタイム： $CT = X$ で動作していた受信側のノードの SYT 抽出部 36 内のバッファには、サイクルタイム： $CT = X$ の SYT （ $x20$, $x21$ ）とサイクルタイム： $CT = Y$ の SYT （ $y0$, $y1$, $y2$ ）とが混在している事になる。ここで、例えば、 SYT （ $x20$, $x21$ ）が、バスリセット後のサイクルタイムの基準時間である $CT = Y$ よりも過去のデータであった場合には、データの SYT （再生指定時間データ）と受信側のサイクルタイム Tc （基準時間）とが長時間一致しなくなり、バッファがあふれ正常な受信データの処理ができなくなってしまうのである。

【0047】その際は、受信側において、次のような5つの回復手段を取ることが考えられる。

（1）バスリセット後に、受信側のバッファに蓄えられたバスリセット前の受信データ及びその SYT を全て削除し、バスリセット後のデータを通常通り処理する。

（2）バスリセット後に、受信側のバッファに蓄えられたバスリセット前のデータが処理されるまで、バッファへのデータの送信を中断し、バスリセット前のデータがなくなった後からバスリセット後の SYT 情報を持つデータの処理を行う。

（3）バスリセット後に、受信側のバッファに蓄えられた SYT のみを全て削除し、バスリセット直前のデータはバスリセット前に生成された再生基準クロック信号に基づいて生成された再生サンプリングクロック f_s により処理し、バスリセット後のデータは通常通り処理する。

（4）バスリセット後は、バスリセット前のデータに対してはダミーの SYT またはダミーの再生基準クロック信号を用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後の SYT または再生基準クロック信号により通常の処理を行う。

（5）バスリセット後は、バスリセット前のデータに対してはバスリセット前のサイクルタイムを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のサイクルタイムを用いて通常の処理を行う。

【0048】以下に上記（1）乃至（5）の具体的な方法を、第2の実施の形態乃至第6の実施の形態として図を用いて説明する。

【0049】（第2の実施の形態：受信機側）図 18 は、上記（1）の方法を簡略的に示した図である。本図において、図 $18(a)$ はサイクルタイム： $CT = X$ で

動作していた受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図18(b)は方法(1)を経た状態を表している。すなわち、バスリセット前はサイクルタイム: $CT=X$ で送受信が行われていたので、SYT抽出部36内のバッファには $x20$ 、 $x21$ のSYTが蓄積されている(図18

(a))。この後、バスリセットが生じ、バス上のサイクルタイムが $CT=Y$ になった際に、SYT抽出部36内のバッファに蓄積されているSYTを全て削除する。なお、SYTと一緒にパケット化されていた受信バッファ35内のデータも削除する。バスリセット後には、サイクルタイム $CT=Y$ のSYTが $y0$ 、 $y1$ 、 $y2$ ・・・とSYT抽出部36内のバッファに蓄積されていく(図18(b))。このように、第2の実施の形態においては、バスリセット後に、受信側のバッファに蓄えられたバスリセット前の受信データ及びそのSYTを削除するようにしている。

【0050】図19は、上述した受信器の状態をフローチャート化したものである。また、図20は、図11の回路図から第2の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。以下、図19を基に図20を用いて第2の実施の形態の具体的な方法を説明する。まず、少なくとも2つのノードによりバス15上でデータの送受信が行われている状態において、上述したようにバスからのデータパケットがサイクルスタートパケット抽出部31にて抽出される。抽出されたサイクルスタートパケットCSはサイクルタイム33に供給され、サイクルタイム33はそのサイクルスタートパケットCSに示された時間値を図示せぬレジスタにセットする。一方、データパケット抽出部32は、バス上のアイソクロナスパケットを抽出し、当該パケット内のデータを受信バッファ35に供給する。また、アイソクロナスパケット中のCIPに備えられたSYTは、SYT抽出部36で抽出される。以後、上述した図11に説明した所定のデータ受信処理にてデータの復調処理が行われる。

【0051】ここで、データの送受信が行なわれている最中に新たな機器の接続又は解除などによりバスリセットが生じる(ステップS191)と、コントロール部39はバスリセット信号を受信する。その後、サイクルタイム33は新たなサイクルスタートパケットを受信する(ステップS192)。新たなサイクルスタートパケットを受信したサイクルタイム33は、そのサイクルスタートパケットCSに示された時間値がセットされ、そのセット時間値から24.576MHzのクロック信号を計数して、その計数値をサイクルタイム(基準時間) Tc として一致検出回路34に出力する。また、コントロール部39は受信バッファ35及びSYT抽出部36に各バッファ内のデータをクリアするように制御信号を送

信する。当該制御信号を受信した受信バッファ35及びSYT抽出部36は、各々のバッファに蓄積されているデータを全てクリアする(ステップS193)。ステップS193以降は、引き続きバスリセットが生じるまで通常の動作を繰り返す。すなわち、一致検出回路34において、サイクルタイム33から供給されるサイクルタイム Tc とSYT抽出部36から供給される新たなSYTとを比較し、当該時間値が一致した時に再生基準クロック信号 C_{REF} を出力する。その後の行程は上述した通りに行われる。また、ステップS191において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返す。このように、第2の実施の形態においては、バスリセットが生じた際に、受信バッファ35及びSYT抽出部36の各バッファ内のデータを全てクリアし、バスリセット後のデータは通常通り処理が再開されるので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。なお、第2の実施の形態の場合には、図18(a)で示したSYT($x20$ 、 $x21$)に相当するデータは欠落してしまうが、簡単な構成でデータの復調が再開されることとなる。

【0052】(第3の実施の形態:受信機側)図21は、上記(2)の方法を簡略的に示した図である。本図におけるSYT抽出部36内のバッファの状態も第2の実施の形態と同一であり、図21(a)はサイクルタイム: $CT=X$ で動作している受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図21(b)は方法(2)を経た状態を表している。すなわち、バスリセット前はサイクルタイム: $CT=X$ で送受信が行われていたので、SYT抽出部36内のバッファには $x20$ 、 $x21$ のSYTが蓄積されている(図21(a))。この後、バスリセットが生じ、バス上のサイクルタイムが $CT=Y$ になった際に、SYT抽出部36内は新たなSYTの取り込みを中断する。そして、SYT抽出部36内のバスリセット前のデータが全て処理された後、SYT抽出部36内は新たなSYTの取り込みを開始する。新たなSYTの取り込み開始後には、サイクルタイム: $CT=Y$ のSYTが $y2$ 、 $y3$ 、 $y4$ 、 $y5$ ・・・とSYT抽出部36内のバッファに蓄積されていく(図21(b))。このように、第3の実施の形態においては、バスリセット後には、受信側のバッファに蓄えられたバスリセット前のデータが処理されるまで、バッファへのデータの供給を中断し、バスリセット前のデータがなくなった後からバスリセット後のSYT情報を持つデータの供給を行うようにしている。

【0053】図22は、上述した受信器の状態をフローチャート化したものである。また、図23は、図11の回路図から第3の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の

形態においてはサイクルタイム33は一時的にデータを保持するためのレジスタを2つ備えている。以下、図22を基に図23を用いて第3の実施の形態の具体的な方法を説明する。先ず、少なくとも2つのノードによりバス15上でデータの送受信が行われている状態において、上述したようにバスからのデータパケットがサイクルスタートパケット抽出部31にて抽出される。抽出されたサイクルスタートパケットCSはサイクルタイム33に供給され、サイクルタイム33はそのサイクルスタートパケットCSに示された時間値を例えばレジスタ1にセットする。一方、データパケット抽出部32は、バス上のアイソクロナスパケットを抽出し、当該パケット内のデータを受信バッファ35に供給する。また、アイソクロナスパケット中のCIPに備えられたSYTは、SYT抽出部36で抽出される。以後、上述したデータ受信処理にてデータの復調処理が行われる。

【0054】ここで、データの送受信が行われている最中に新たな機器の接続または解除などによりバスリセットが生じる（ステップS221）と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、サイクルタイム33に新たなサイクルタイムを別のレジスタに蓄積するように制御信号を送出する。サイクルタイム33は、当該制御信号を受信し、例えば第2のレジスタ2に新たなサイクルタイムを書き込む。（ステップS222）。このとき、サイクルタイム33は、レジスタ1に蓄積されているサイクルタイムに基づいて自機のサイクルタイムを生成し一致検出回路34に供給し続ける。一方、コントロール部39は、受信バッファ35及びSYT抽出部36に各バッファ内へのデータの書き込みを中断するように制御信号を送信する（ステップS223）。当該制御信号を受信した受信バッファ35及びSYT抽出部36は、各々のバッファ内へのデータの書き込みを中断する。なお、この時、バスリセット前に既に受信バッファ35に蓄積されているデータは処理され続ける。

【0055】その後、受信バッファ35では、受信バッファ35内のFIFOのデータが空になったか否かが監視され、FIFOのデータが空にならない場合（ステップS224：N）は、バッファ内へのデータの書き込み中断（ステップS223）が継続され、FIFO内のデータが空になった場合（ステップS224：Y）には、受信バッファ35はコントロール部39に対してEmptyFlagを送信する。コントロール部39は、EmptyFlagを受信すると、サイクルタイム33に対して、サイクルタイムの書換指令の制御信号を送出する。当該制御信号を受信したサイクルタイム33は、レジスタ2に蓄積されていたサイクルタイムをレジスタ1に書き替え（ステップS225）、当該サイクルタイムにより自機のサイクルタイムを生成し、一致検出回路に供給する。また、コントロール部39は、受信バッファ35及びSYT抽出

部36に各バッファ内へのデータの書き込みを再開するように制御信号を送出する。当該制御信号を受信した受信バッファ35及びSYT抽出部36は、各バッファ内へのデータの書き込みを再開する（ステップS226）。ステップS226において、受信バッファ35及びSYT抽出部36の各バッファ内へのデータの書き込みを再開した後は、引き続きバスリセットが生じるまで通常の動作を繰り返す。また、ステップS221において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返す。

【0056】なお、ステップS223において、バスリセット後にデータパケット抽出部32にてデータを抽出しないように制御させることも可能であり、またデータパケット抽出部32からデータが送信されないように制御することも可能である。要は、バスリセット後に受信バッファ35及びSYT抽出部36にデータが蓄積されないように制御すればよい。また、第3の実施の形態においては、受信バッファ35内のデータ量を監視する場合を説明したが、SYT抽出部36内のFIFOのデータを監視し、当該FIFOのデータが空になったら、EmptyFlagを送信する構成にすることも可能である。また、後述する（第5の実施の形態にて説明する）ように、バスリセット時に、受信バッファ35及び／又はSYT抽出部36内のFIFOのデータ量を計測し、当該FIFOから出力されるデータ量がその計測値に達したら、所定の制御信号を出力する構成にすることも可能である。要は、受信バッファ35及び／又はSYT抽出部36内のFIFOのデータにバスリセット前のデータがなくなったことを示す制御信号を出力すればよい。このように、第3の実施の形態においては、バスリセットが生じた後に、受信バッファ35及びSYT抽出部36の各バッファ内のデータの書き込みを中断し、バスリセット前のデータが処理された後、バスリセット後のデータの処理を開始するので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。よって、第3の実施の形態の場合には、図21（a）で示したSYT（y0, y1）に関するデータは欠落してしまうが、バスリセット前のデータは正常に処理され、バスリセット後も通常の処理が再開されることとなる。

【0057】（第4の実施の形態：受信機側）図24は、上記（3）の方法を簡略的に示した図である。本図におけるSYT抽出部36内のバッファの状態も第2の実施の形態と同一であり、図24（a）はサイクルタイム：CT=Xで動作している受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図24（b）は方法（3）を経た状態を表している。すなわち、バスリセット前は、サイクルタイム：CT=Xで送受信が行われていたので、SYT抽出部36内のバッファにはx20、x21のSYTが蓄積されている（図24（a））。この後、バスリセットが生じ、バス

上のサイクルタイムが $CT=Y$ になった際に、SYT抽出部36内のバッファに蓄積されているSYTを全て削除する。そして、SYT抽出部36は新たなSYTの取り込みを開始する。新たなSYTの取り込み後には、サイクルタイム $CT=Y$ のSYTが y_0 、 y_1 、 y_2 、 $y_3 \dots$ とSYT抽出部36内のバッファに蓄積されていく(図24(b))。なお、バスリセット後において、受信バッファ35内のデータのうちバスリセット前のデータは、バスリセット前のサイクルタイム： $CT=X$ の時に生成された再生基準クロック信号 C_{REF} により生成された再生サンプリングクロック f_s により制御され、サイクルタイム： $CT=X$ に関するデータが全て処理された後は、サイクルタイム： $CT=Y$ に関するデータが通常通りに処理される。このように、第4の実施の形態においては、バスリセット後に、SYT抽出部36内のバッファに蓄えられたSYTを全て削除する構成としている。

【0058】図25は、上述した状態をフローチャート化したものである。以下、図25を基に図20を用いて第4の実施の形態の具体的な方法を説明する。先ず、通常の動作が行われている状態(第2の実施の形態にて説明されている)において、新たな機器の接続又は解除などによりバスリセットが生じる(ステップS251)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、SYT抽出部36にバッファ内のSYTを全てクリアするように制御信号を送出する。当該制御信号を受信したSYT抽出部36は、バッファ内のSYTを全てクリアする(ステップS252)。また、受信バッファ35内に蓄積されているデータは、バスリセット前に生成されたリファレンスクロック C_{REF} に位相同期した再生サンプリングクロック信号 f_s に同期して処理され続ける(ステップS253)。なお、この状態の時には、一致検出回路34にSYT抽出部36からしばらくの間SYTが送信されないため、一致検出回路34はリファレンスクロック C_{REF} を出力しない。しかしながら、PLL回路37は、バスリセット前に生成されたリファレンスクロック C_{REF} に基づいて生成された再生サンプリングクロック f_s をしばらく維持し続けるので、バスリセット前のデータは、当該再生サンプリングクロック f_s により処理されることとなる。一方、サイクルスタートパケット抽出部31は、新たなサイクルスタートパケットCSを抽出し、サイクルタイム33に当該サイクルスタートパケットCSを供給する。SYT抽出部36は、新たなSYTを抽出し、当該SYTを一致検出回路34に供給する。

【0059】サイクルタイム33は、バスリセット後に供給されてくるサイクルスタートパケットCSに示された時間値から24.576MHzのクロック信号を計数してサイクルタイム T_c を一致検出回路34に供給する。一致検出回路34は、サイクルタイム33から供給

されたサイクルタイム T_c とSYT抽出部36から供給されたSYTとを比較し、その時間値が一致した時に再生基準クロック信号 C_{REF} を生成する(ステップS254)。ステップS254において、サイクルタイム T_c とSYTが一致しない時には、受信バッファ35内に蓄積されているデータは、ステップS253で行われていたバスリセット前に生成したリファレンスクロック C_{REF} に位相同期した再生サンプリングクロック信号 f_s に同期して処理され続ける。一方、サイクルタイム T_c とSYTが一致した時には、受信バッファ35内に蓄積されているデータは、その時間値が一致した時に再生基準クロック信号 C_{REF} に位相同期した再生サンプリングクロック信号 f_s に同期して処理される(ステップS255)。ステップS255において、通常の再生処理が再開された後は、引き続きバスリセットが生じるか否かが監視される。また、ステップS251において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返し行う。

【0060】このように、第4の実施の形態においては、SYT抽出部36内のバッファのデータを全てクリアし、バスリセット直前のデータはバスリセット前に生成された再生サンプリングクロック f_s により処理し、バスリセット後のデータは通常通りに処理する構成としたので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。なお、第4の実施の形態の場合には、バスリセット前後においてデータの欠落を生じることなく、バスリセット前後のデータが正常に処理される。

【0061】(第5の実施の形態：受信機側)第5の実施の形態は、上述の(4)の方法であり、バスリセット後は、バスリセット前のデータに対してはダミーのSYTまたはダミーのリファレンスクロックを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のSYTまたはリファレンスクロックにより通常の処理を行うものである。なお、本実施の形態には2通りの方法があり、第5の実施の形態の第1の方法、第5の実施の形態の第2の方法として、以下に詳細な説明を行う。

【0062】(第5の実施の形態の第1の方法)第5の実施の形態の第1の方法は、ダミーのSYTを生成する方法である。図26は、第5の実施の形態の第1の方法を簡略的に示した図である。すなわち、バスリセット前は、サイクルタイム： $CT=X$ で送受信が行われていたので、SYT抽出部36内のバッファには X_20 、 X_21 のSYTが蓄積されている。この後、バスリセットが生じ、バス上のサイクルタイムが $CT=Y$ になった際に、SYT抽出部36は新たなSYTの取り込みを行う。新たなSYTの取り込み後は、サイクルタイム： $CT=Y$ のSYTが y_0 、 y_1 、 y_2 、 $y_3 \dots$ とSYT抽出部36内のバッファに蓄積されていく。一方、ダ

ミーSYT生成回路41は、バスリセットが生じた後、 $x20$ 、 $x21$ のSYTに相当するダミーSYTである $x20'$ 、 $x21'$ を生成し、選択回路42に供給する。選択回路42は、バスリセット信号に応じて、SYT抽出部36のSYTからダミーSYT生成回路41のダミーSYTへの切り換えを行い、一致検出回路34にそのSYTを供給する。尚、当該ダミーSYTの出力が終了したら、再び通常のSYTを一致検出回路34に供給する。このように、第5の実施の形態の第1の方法においては、バスリセット後は、バスリセット前のデータに対してはダミーのSYTを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のSYTにより通常の処理が行われるようにするものである。

【0063】図27は、上述した受信器の状態をフローチャート化したものである。また、図28は、図11の回路図から第5の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の形態においては減算回路40、ダミーSYT生成回路41、選択回路42を新たに備えている。ここで減算回路40は、SYT抽出部36からSYTを受信し、当該SYTの前後のSYTの差を後述する演算式により演算し、その差を時間差(D)としてダミーSYT生成回路41に供給する。ダミーSYT生成回路41は、当該時間差(D)を受信し、またSYT抽出部36からSYTを受信する。そして、当該時間差(D)とSYT抽出部36からのSYTを用いて後述する演算式によりダミーSYTを生成し、そのダミーSYTを選択回路42に供給する。選択回路42は、SYT抽出部36からのSYTとダミーSYT生成回路41からのSYTを選択的に一致検出回路に供給する。以下、図27を基に図28を用いて第5の実施の形態の第1の方法に関して具体的な方法を説明する。先ず、通常の動作が行われている状態(第2の実施の形態にて説明されている)において、新たな機器の接続又は解除などによりバスリセットが生じる(ステップS271)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、SYT抽出部36にバッファ内のBuffer Sizeを確認するように制御信号を送信する。当該制御信号を受信したSYT抽出部36は、バッファ内のBuffer Sizeを確認し、コントロール部39にBuffer Sizeを送信する(ステップS232)。このBuffer Sizeは、バスリセットが生じた時にSYT抽出部36内のバッファに蓄積されているSYTの個数をカウントした値であり、例えば、図26に示されているようにバスリセット前のSYTが2個($x20$ 、 $x21$)蓄積されている場合にはBuffer Size = 2とする。

【0064】また、コントロール部39は、選択回路42に切換信号を送出する。当該切換信号を受信した選択

回路42は、ダミーSYT生成回路41から供給されてくるSYTを一致検出回路34に供給するように切り換えを行う。(ステップS273)。また、コントロール部39は、バスリセット以降に、一致検出回路34にて選択回路42からのSYTとサイクルタイマ33からのサイクルタイムとが一致した回数をカウントし(ステップS274、S275)、そのカウント値がBuffer Size以上になったら(ステップS276)、選択回路42に対して再度切換信号を送信する。これは、例えば、図26の場合には、計数値>2となったら選択回路42に対して切換信号を送信する。当該切換信号を受信した選択回路42は、再び通常のSYTを一致検出回路34に送信するように切り換えを行う(ステップS277)。一方、ステップS276において、ダミーSYTを計数した値が、BufferSizeより大きくなければ、ダミーSYTの計数を継続する(ステップS274、S275)。ステップS277において、通常の再生処理が再開された後は、引き続きバスリセットが生じるか否かが監視される。また、ステップS271において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返し行う。

【0065】このように、第5の実施の形態の第1の方法においては、バスリセット後に、ダミーのSYTを生成するような構成としたので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。

【0066】なお、ダミーSYTの具体的な生成方法は、次のように行われる。図28において、減算回路40には常にSYTが供給されており、バスリセットが生じた時に、バスリセット直前のSYT(サイクルタイム: $CT=X$ のSYT)とバスリセット直後のSYT(サイクルタイム: $CT=Y$ のSYT)との時間差を、

【0067】

【数6】時間差(D) = (バスリセット直前のSYT) - (バスリセット直後のSYT)

として演算し、その時間差(D)をDummy SYT生成回路41に供給する。Dummy SYT生成回路41は、バスリセット前のサイクルタイム: $CT=X$ のSYTに上記時間差を、

【0068】

【数7】ダミーSYT = (バスリセット前のSYT) + 時間差(D)

として加え、選択回路42に供給する。具体的には、例えば、図26に示されているように、SYT抽出部36内のバッファに、サイクルタイム: $CT=X$ のSYT($x20$ 、 $x21$)が蓄積されている状態において、バスリセットが生じると、SYT抽出部36は次のサイクルタイムである $CT=Y$ のSYT($y0$)を抽出する。この時、減算回路40は $y0 - x21$ = 時間差(D)を演算し、その時間差(D)をDummy SYT生成回路41に供給する。Dummy SYT生成回路41は、S

Y T抽出部36から送信されるサイクルタイム： $CT = X$ のSYT ($x20$, $x21$)に上記時間差(D)を加え、ダミーSYT ($x20'$, $x21'$)を生成し、当該ダミーSYTを選択回路42に供給する。このようにして、ダミーSYTが生成される。

【0069】なお、第5の実施の形態の第1の方法においては、選択回路42の切り換えをSYT抽出部36内のバッファ内のBuffer Sizeに基づいて行っているが、受信バッファ35のBuffer Sizeに基づいて行うことも可能である。このBuffer Sizeの求め方に関しては当該実施例に限定されることなく、バッファ内のデータ量が求めれば他の方法でも良い。また、後述する(第6の実施の形態で説明する)ように、SYT抽出部36において、バスリセット前とバスリセット後のSYTの判別を行い、当該判別結果に基づいて選択回路42を切り換えるように構成することも可能である。また、減算した時間差(D)をサイクルタイム33に送信し、ダミーのサイクルタイムを生成することも可能である。その際は、バスリセット後のサイクルタイムから時間差(D)を減算すればよい。

【0070】(第5の実施の形態の第2の方法)次に、第5の実施の形態の第2の方法は、ダミーの再生基準クロック信号 C_{REF}' を生成する方法である。図29は、第5の実施の形態の第2の方法を簡略的に示した図である。すなわち、バスリセット前は、サイクルタイム： $CT = X$ で送受信が行われていたため、SYT抽出部36内のバッファには $x20$ 、 $x21$ のSYTが蓄積されている。この後、バスリセットが生じ、バス上のサイクルタイムが $CT = Y$ になった際に、SYT抽出部36は新たなSYTの取り込みを行う。新たなSYTの取り込み後は、サイクルタイム： $CT = Y$ のSYTが $y0$ 、 $y1$ 、 $y2$ 、 $y3 \dots$ とSYT抽出部36内のバッファに蓄積されていく。一方、ダミー再生基準クロック信号 C_{REF}' 生成回路43は、バスリセットが生じた後、 $x20$ 、 $x21$ のSYTに相当するダミー再生基準クロック信号 C_{REF}' を生成し、選択回路44に送出する。選択回路44は、バスリセット信号に応じて、一致検出回路34からの再生基準クロック信号 C_{REF} からダミー再生基準クロック信号 C_{REF}' 生成回路43からのダミー再生基準クロック信号 C_{REF}' への切り換えを行い、ダミー再生基準クロック信号 C_{REF}' をPLL回路37に供給する。なお、バスリセット前のデータの処理が終了した後は、再び一致検出回路34からの再生基準クロック信号 C_{REF} をPLL回路37に出力されるようにする。また、後述するが、バスリセット前のSYTは、削除されることになる。このように、第5の実施の形態の第2の方法は、バスリセット後は、バスリセット前のデータに対してはダミーのリファレンスクロックを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のリファレンスクロックにより処理を行う

ものである。

【0071】図30は、上述した受信器の状態をフローチャート化したものである。また、図31は、図11の回路図から第5の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の形態においてはダミー再生基準クロック信号 C_{REF}' 生成回路43、選択回路44を新たに備えている。ここで、ダミー再生基準クロック信号 C_{REF}' 生成回路43は、一致検出回路34より再生基準クロック信号 C_{REF} を受信し、当該再生基準クロック信号 C_{REF} から後述する方法によりダミー再生基準クロック信号 C_{REF}' を生成し、当該ダミー再生基準クロック信号 C_{REF}' を選択回路44に供給する。選択回路44は、一致検出回路34からの再生基準クロック信号 C_{REF} とダミー再生基準クロック信号 C_{REF}' からのダミー再生基準クロック信号 C_{REF}' を選択的にPLL回路37に供給する。以下、図30を基に図31を用いて第5の実施の形態の第2の方法に関して具体的な方法を説明する。

【0072】まず、通常の動作が行われている状態(第2の実施の形態にて説明されている)において、新たな機器の接続又は解除などによりバスリセットが生じる(ステップS301)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、SYT抽出部36にバッファ内のBuffer Sizeを確認するように制御信号を送信する。当該制御信号を受信したSYT抽出部36は、バッファ内のBuffer Sizeを確認し、コントロール部39にBuffer Sizeを送信する(ステップS302)。この後、バッファ内の全てのSYTを削除する。なお、このBuffer Sizeは、第1の方法にて説明したBuffer Sizeと同一のものである。また、コントロール部39は、選択回路44に切換信号を送信する。切換信号を受信した選択回路44は、ダミー再生基準クロック信号 C_{REF}' 生成回路43から供給されてくるダミー再生基準クロック信号 C_{REF}' をPLL回路37に供給するように切り換えを行う。(ステップS303)。この時、一致検出回路34には、バスリセット後のSYTが供給されるので、当該一致検出回路34からの出力は暫くの間行われないことになる。よって、その期間は、ダミー再生基準クロック信号 C_{REF}' 生成回路43からのダミー再生基準クロック信号 C_{REF}' を選択回路に供給するのである。

【0073】また、コントロール部39は、選択回路44に供給されるダミー再生基準クロック信号 C_{REF}' の立ち上がりを計数し(ステップS304)、その計数値がBuffer Sizeと等しくなるか又はそれ以上になったら(ステップS305)、選択回路44に対して切換信号を送信する。切換信号を受信した選択回路44は、再び通常の再生基準クロック信号 C_{REF} をPLL回路37に供給するように切り換える(ステップS306)。一

方、ステップS305において、ダミー再生基準クロック信号 C_{REF} の立ち上がりを計数した値が、Buffer Sizeより大きくなりえない場合には、ダミー再生基準クロック信号 C_{REF} の計数を継続する（ステップS304）。ステップS306において、通常の再生処理が行われた後は、引き続きバスリセットが生じるか否かが監視される。また、ステップS301において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を行う。このように、第5の実施の形態の第2の方法においては、バスリセット後に、ダミーの再生基準クロック信号 C_{REF} を生成し、バスリセット前のデータに対してはダミーの再生基準クロック信号 C_{REF} を用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後の再生基準クロック信号 C_{REF} により処理を行う構成としたので、バスリセット前後の時間情報が異なっても、正常な処理が行われることになる。

【0074】なお、ダミー再生基準クロック信号 C_{REF} の具体的な生成方法は、次のように行われる。図31において、ダミー再生基準クロック信号 C_{REF} 生成回路43は、一致検出回路34にて生成される再生基準クロック信号 C_{REF} のクロック周期（図32）の立ち上がり及びそのタイミングを図示せぬカウンタでカウントし、当該クロック周期を図示せぬダミー再生基準クロック信号 C_{REF} 生成回路43内のバッファに記憶しておく。図32に示した例においては、クロック周期（T）がバッファに記憶される。なお、このカウンタはリファレンスクロックの立ち上がりでカウンタの値をバッファに記憶し、その後次の周期（T）をカウンタするため、カウント値をクリアし、再びカウント動作を継続する構成となっている。上述した状態において、バスリセットが生じた際に、ダミー再生基準クロック信号 C_{REF} 生成回路43は、バッファに記憶されている周期、例えば、周期（T）によりダミー再生基準クロック信号 C_{REF} を生成し、当該ダミー再生基準クロック信号 C_{REF} を選択回路44に供給する。このようにして、ダミー再生基準クロック信号 C_{REF} が生成される。

【0075】なお、第5の実施の形態の第2の方法においては、選択回路44の切り換えをSYT抽出部36内のバッファ内のBuffer Sizeに基づいて行っているが、受信バッファ35のBuffer Sizeに基づいて行うことも可能である。このBuffer Sizeの求め方に関しては当該実施例に限定されることなく、バッファ内のデータが求められれば他の方法でも良い。また、後述する（第6の実施の形態で説明する）ように、SYT抽出部36において、バスリセット前とバスリセット後のSYTの判別を行い、当該判別結果に基づいて選択回路44を切り換えるように構成することも可能である。以上に示したように、第5の実施の形態の第1の方法及び第2の方法では、バスリセット前後においてデータの欠落を生じるこ

となく、バスリセット前後のデータが正常に処理される。

【0076】（第6の実施の形態：受信機側）図33は、上記（5）の方法を簡略的に示した図である。本図におけるSYT抽出部36内のバッファの状態も第1の実施の形態と同一であり、図33（a）はサイクルタイム $CT=X$ で動作している受信側のバスリセット直後のSYT抽出部36内のバッファの状態を表しており、図33（b）は方法（5）を経た状態を表している。すなわち、バスリセット前はサイクルタイム： $CT=X$ で送受信が行われていたため、SYT抽出部36内のバッファには $x20$ 、 $x21$ 、 $x22$ のSYTが蓄積されている（図33（a））。この後、バスリセットが生じ、バス上のサイクルタイムが $CT=Y$ となった際においても、通常通りSYT抽出部36は新たなSYTの取り込みを行う。そして、新たなSYT取り込み後には、サイクルタイム： $CT=X$ のSYTの $x20$ 、 $x21$ 、 $x22$ と、サイクルタイム： $CT=Y$ のSYTが $y0$ 、 $y1$ 、 $y2$ 、 $y3$ ・・・とがSYT抽出部36内のバッファに蓄積されている（図33（b））。ここで、バッファ内では各SYTの前後の差が演算され、その差によりバスリセット前のSYTかバスリセット後のSYTかが判別され、当該判別結果に基づいて、バスリセット前のデータに対してはサイクルタイム： $CT=X$ で復調処理が行われるように制御し、バスリセット後のデータに対してはサイクルタイム： $CT=Y$ で復調処理が行われるように制御する。

【0077】このように、第6の実施の形態においては、バスリセット前のデータに対してはサイクルタイム： $CT=X$ で復調処理が行われるように制御し、バスリセット後のデータに対してはサイクルタイム： $CT=Y$ で処理されるように構成される。

【0078】図34は、上述した受信器の状態をフローチャート化したものである。また、図35は、図11の回路図から第6の実施の形態に係る部分を抜粋したものであり、図11と同一の機能を有する回路には同一の符号が付されており、その説明は省略する。なお、本実施の形態においては減算回路45、判定回路46を新たに備えている。また、サイクルタイム33は一時的にデータを保持するためのレジスタを2つ備えている。ここで、減算回路45はSYT抽出部36からSYTを受信し、当該SYTの前後の時間差を後述する演算式により演算し、当該時間差を時間差（D）として判定回路46に供給する。判定回路46は、減算回路45から時間差（D）を受信し、当該時間差（D）に基づいて後述する方法により、バスリセット前のSYTかバスリセット後のSYTかの判定を行い、当該結果をコントロール部39に供給する。

【0079】以下、図34を基に図35を用いて第6の実施の形態の具体的な方法を説明する。まず、少なくとも

も2つのノードによりバス15上でデータの送受信が行われている状態において、上述したようにバスからのデータパケットがサイクルスタートパケット抽出部31にて抽出される。抽出されたサイクルスタートパケットCSはサイクルタイムマ33に送信され、サイクルタイムマ33はそのサイクルスタートパケットCSに示されたサイクルタイムを例えばレジスタ1にセットし、当該サイクルタイムに基づいて自機のサイクルタイムを生成し、一致検出回路34に供給する。一方、データパケット抽出部32は、バス15上のアイソクロナスパケットを抽出し、当該パケット内のデータを受信バッファ35に供給する。また、アイソクロナスパケット中のCIPに備えられたSYTは、SYT抽出部36で抽出される。SYT抽出部36は、アイソクロナスパケット中のCIPに備えられたSYTを一致検出回路34及び減算回路45に供給する。減算回路45では、当該SYTの各々の時間差(D)を後述する演算式により演算し、その時間差(D)を判定回路46に供給する。判定回路46では、減算回路45から時間差(D)を受信し、当該時間差(D)に基づいて後述する方法により、バスリセット前のSYTかバスリセット後のSYTかの判定を行い、当該結果をコントロール部39に供給する。以後、上述したデータ受信処理にてデータの復調処理が行われる。

【0080】データの送受信を行っている最中に新たな機器の接続又は解除などによりバスリセットが生じる(ステップS341)と、コントロール部39はバスリセット信号を受信する。その後、コントロール部39は、サイクルタイムマ33に新たなサイクルタイムを別のレジスタに蓄積するように制御信号を送信する。サイクルタイムマ33は、当該制御信号を受信し、例えば第2のレジスタ2に新たなサイクルタイムを書き込む。このとき、サイクルタイムマ33は、レジスタ1に蓄積されているサイクルタイムにより自機のサイクルタイムを生成し、その値を一致検出回路34に供給し続ける。一致検出回路34は、当該サイクルタイムとSYT抽出部36より供給されるSYTにより再生基準クロック信号C_{REF}を生成する。一方、減算回路45は、SYT抽出部36よりSYTが供給され、当該SYTの各々の差を検出し、その差を判定回路46に送信する(ステップS342)。判定回路46は、減算回路45より供給されてくるSYTの差を蓄えておき、供給されてくるSYTとの差を前回のものと比較して当該差が後述する所定範囲内か否かを判定(ステップS343)し、所定範囲内であれば通常の処理が継続される。

【0081】一方、所定範囲外の場合には、コントロール部39に制御信号を送信する。コントロール部39は、当該制御信号を受信すると、サイクルタイムマ33に対して、サイクルタイムの書き換え指令の制御信号を送信する。当該制御信号を受信したサイクルタイムマ33は、レジスタ2に蓄積されていたサイクルタイムをレジスタ1

に書き換え(ステップS344)、当該サイクルタイムに基づいて自機のサイクルタイムを生成し、一致検出回路34に供給する。ステップS344において、サイクルタイムの書き換えが行われた後は、引き続きバスリセットが生じるまで通常の動作を繰り返し行う。また、ステップS341において、バスリセットが生じない場合も、引き続きバスリセットが生じるまで通常の動作を繰り返し行う。

【0082】このように、第6の実施の形態においては、受信側において、バスリセット前と後のサイクルタイムを反映する複数のサイクルタイムレジスタを備え、バスリセット後は、バスリセット前のデータに対してはバスリセット前のサイクルタイムを用いて処理し、バスリセット前のデータが全て処理された後は、バスリセット後のサイクルタイムを用いて通常の処理を行うので、データ欠落のないデータの復調が行われることになる。

【0083】なお、減算回路45におけるSYTの時間差(D)の具体的な演算方法及び判定回路46の判定方法は、次のように行われる。図33において、(b)に示されている各SYTは、SYT抽出部36より減算回路45に供給される。減算回路45では、当該SYTを用いて、

【0084】

【数8】時間差(D)＝現在のSYT－1つ前のSYTとして時間差(D)を演算し、当該時間差(D)を判定回路46に供給する。判定回路46では、当該時間差(D)によりバスリセット前のSYTとバスリセット後のSYTとの境界を検出し、当該検出結果をコントロール部39に送信する。すなわち、境界前後のSYTの時間差(D[′])は、それ以外のSYTの時間差(D)とは値が異なるため、その時間差(D[′])が求められたSYTがバスリセット前のSYTとバスリセット後のSYTとなる。より具体的には、図33(b)において、減算回路45では、時間差(D)を

【0085】

【数9】

$$\begin{aligned}\text{時間差(D)} &= x_{21} - x_{20} \\ &= a\end{aligned}$$

とし、次に、

【0086】

【数10】

$$\begin{aligned}\text{時間差(D)} &= x_{22} - x_{21} \\ &= a\end{aligned}$$

とし、次に、

【0087】

【数11】

$$\text{時間差(D)} = y_0 - x_{22}$$

として演算する。この時、サイクルタイム: CT=Xの時、~~データ~~に付加されたSYTにて演算された(数9)乃至(数

10)は、所定の時間差(a)である。これが、バスリセット直後においては、サイクルタイム:CT=Xの時に付加されたSYTとサイクルタイム:CT=Yの時に付加されたSYTにて演算するため、バスリセット前後の基準時間が異なっている場合には、所定の時間差

(b)となる。よって、この時間差の値を比較することにより上述した境界部分が検出されることになる。なお、上記の例ではサイクルタイム:CT=Xの時に付加されたSYTにて演算された所定の時間差を(a)としたが、実際には、この時間差にも多少のジッタ成分 α が有るため、他の時間差と比較する場合には、 $a \pm \alpha$ と比較するのが良い。このようにして、バスリセット前のSYTとバスリセット後のSYTが判別される。なお、第6の実施の形態においては、サイクルタイム33のレジスタの切り換えを判定回路46の判定結果に基づいて行ったが、前述したようにSYT抽出部36及び/又は受信バッファ内のBuffer Sizeに基づいて行うことも可能である。

【0088】以上示したように、第2の実施の形態乃至第6の実施の形態は、送信側が送出したデジタルデータを、受信側では直ちに適切なタイミングで再生出力できる状態に戻ることができるのである。

【0089】このように、本発明においては、バスリセットによって基準時間が変化した際に、基準時間のずれによる不具合を送信機側で対処するか又は受信機側で対処することができるので、上記問題点は全て解決される。例えば、図14(n)におけるオーディオデータbはバスリセット前にすでにパケット化処理が行われているため、送信機側では対処できないが、当該データの補正は受信機側にて対処可能となる。よって、データの送受信可能な装置の場合には、送信機側の対処方法と受信機側の対処方法の両方法を備えるのが良い。その際には、サイクルタイムを兼用することが可能であり、回路の簡素化が図れる。

【0090】なお、本発明においては、伝送バス上の基準時間が変化する時をバスリセットが生じる際としたが、バスリセットが生じない場合でも、例えばサイクルマスタノードが基準時間の変更を行った際には、本発明の各方法を適用することが可能である。また、本発明はA&M Protocolにて決められている伝送方式の1つであるNon-Blocking転送方式(1 Isoサイクル単位でパケット化を行う)の場合について説明したが、Blocking転送方式(所定数のサンプル単位でパケット化を行う)についても適用可能である。また、サンプリング周波数も32 [kHz] 以外の場合においても適用可能である。また、上記各実施の形態においては、本発明による受信インターフェース回路12、13によって所定のデータの再生を実施する旨を述べたが、この再生対象となるデータは映像データや音声データであっても構わない。又、上記実施例においては、かかる受信インターフェース回路1

2、13をIEEE1394-1995規格による伝送システムに採用した場合の動作について説明したが、適用可能な伝送システムとしては、IEEE1394-1995規格に限定されるものではない。

【0091】要するに、音声データ及び映像データの如き時系列データを複数のデータ群に分割し、これらデータ群中の各データを受信側において再生すべき時間を指定する再生指定時間データを上記データ群に付加してなるデータパケットを時分割伝送するような伝送システムの受信インターフェース装置であれば良い。

【0092】

【発明の効果】以上説明したように、本発明によれば、送信側が送出したデジタルデータを、受信側では直ちに適切なタイミングで再生出力できる状態にすることができるのである。

【図面の簡単な説明】

【図1】高速シリアルデータ転送インターフェースによって接続された複数の電気機器を示す図である。

【図2】ノードA~Fが接続されたトポロジにおいてルートノードの決定手順を説明するための図である。

【図3】ノードIDの各ノードへの通知手順を説明するための図である。

【図4】サイクル内のパケット構造を示す図である。

【図5】サイクルスタートパケットCSの転送を示す図である。

【図6】アイソクロナスパケットの構造を示す図である。

【図7】CIPヘッダの構造を示す図である。

【図8】アシンクロナスパケットの構造を示す図である。

【図9】送受信器を含む電気機器間の接続状態を示す図である。

【図10】送信器の構成を示すブロック図である。

【図11】受信器の構成を示すブロック図である。

【図12】データパケット転送を説明するための図である。

【図13】基準時間変更時の概念図である。

【図14】基準時間変更時の詳細図である。

【図15】本発明の第1の実施の形態のフローチャートを示す図である。

【図16】本発明の第1の実施の形態における送信器の構成を示すブロック図である。

【図17】受信機側における問題点を説明するための図である。

【図18】本発明の第2の実施の形態の簡略図である。

【図19】本発明の第2の実施の形態のフローチャートを示す図である。

【図20】本発明の第2の実施の形態のブロック図である。

【図21】本発明の第3の実施の形態を示す簡略図であ

る。

【図22】本発明の第3の実施の形態のフローチャートを示す図である。

【図23】本発明の第3の実施の形態のブロック図である。

【図24】本発明の第4の実施の形態を示す簡略図である。

【図25】本発明の第4の実施の形態のフローチャートを示す図である。

【図26】本発明の第5の実施の形態の第1の方法を示す簡略図である。

【図27】本発明の第5の実施の形態の第1の方法のフローチャートを示す図である。

【図28】本発明の第5の実施の形態の第1の方法を示すブロック図である。

【図29】本発明の第5の実施の形態の第2の方法を示す簡略図である。

【図30】本発明の第5の実施の形態の第2の方法のフローチャートを示す図である。

【図31】本発明の第5の実施の形態の第2の方法を示すブロック図である。

【図32】本発明の第5の実施の形態の第2の方法の再生基準クロック信号 C_{REF} のクロック周期を示した図である。

【図33】本発明の第6の実施の形態を示す簡略図である。

【図34】本発明の第6の実施の形態のフローチャートを示す図である。

【図35】本発明の第6の実施の形態のブロック図である。

【主要部分の符号の説明】

9, 10・・・電気機器

11, 14・・・送信器

12, 13・・・受信器

15・・・IEEE1394-1995バス

21・・・送信バッファ

22・・・MUX

23, 33・・・サイクルタイマ

24・・・ラッチ回路

25・・・コントロール部

26・・・判別回路

27・・・SYT書換回路

31・・・サイクルスタートパケット抽出部

32・・・データパケット抽出部

34・・・一致検出回路

35・・・受信バッファ

36・・・SYT抽出部

37・・・PLL回路

38・・・D/A変換器

39・・・コントロール部

40, 45・・・減算回路

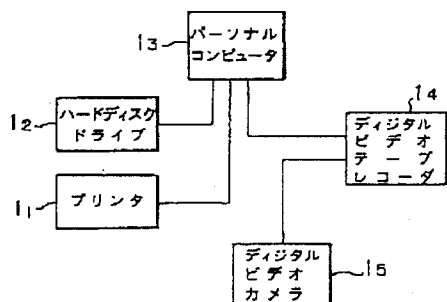
41・・・Dummy SYT生成回路

42, 44・・・選択回路

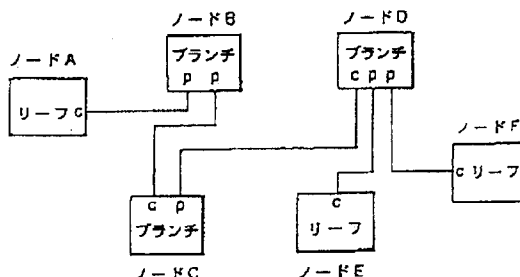
43・・・Dummy C_{REF} 生成回路

46・・・判定回路

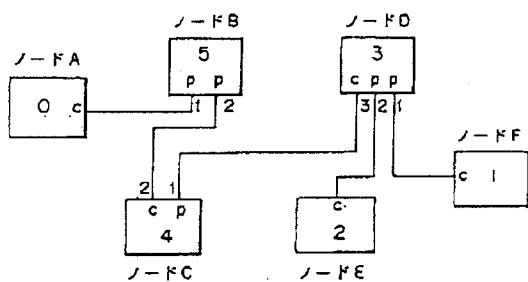
【図1】



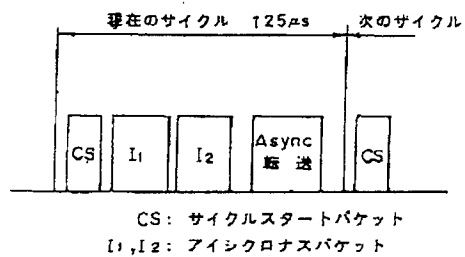
【図2】



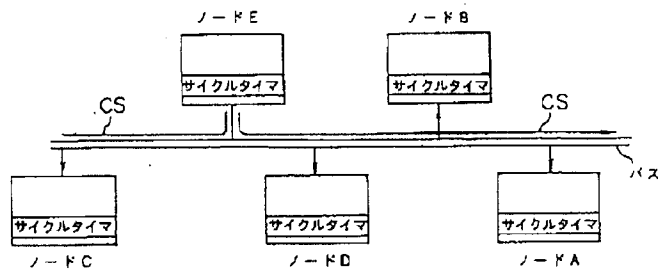
【図3】



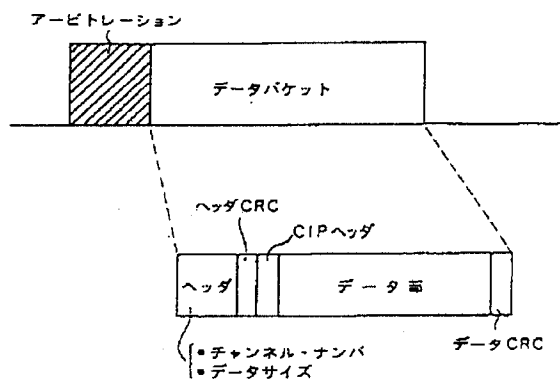
【図4】



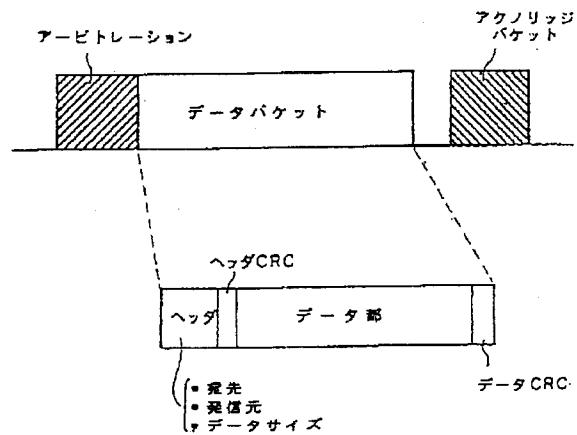
【図5】



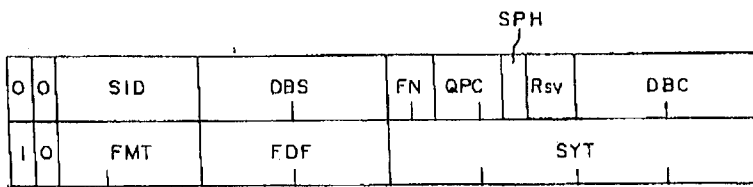
【図6】



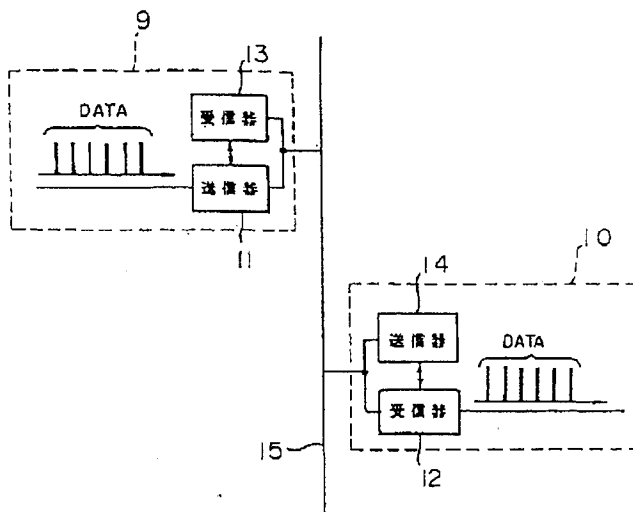
【図8】



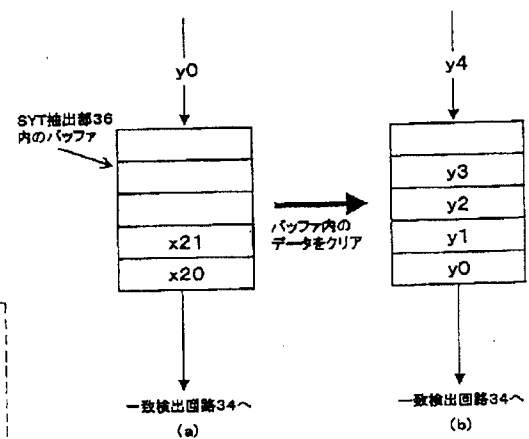
【図7】



【図9】

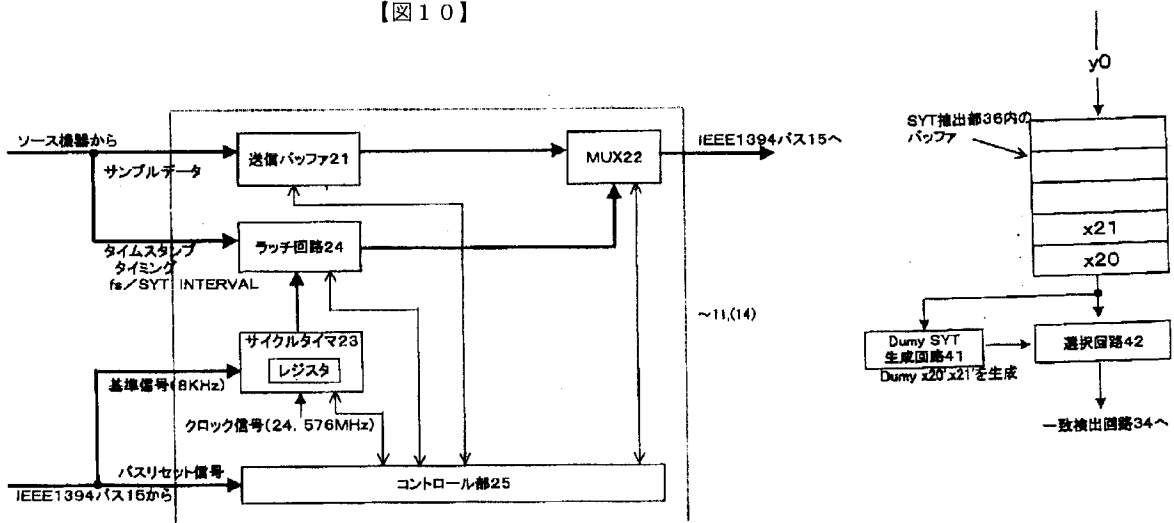


【図18】

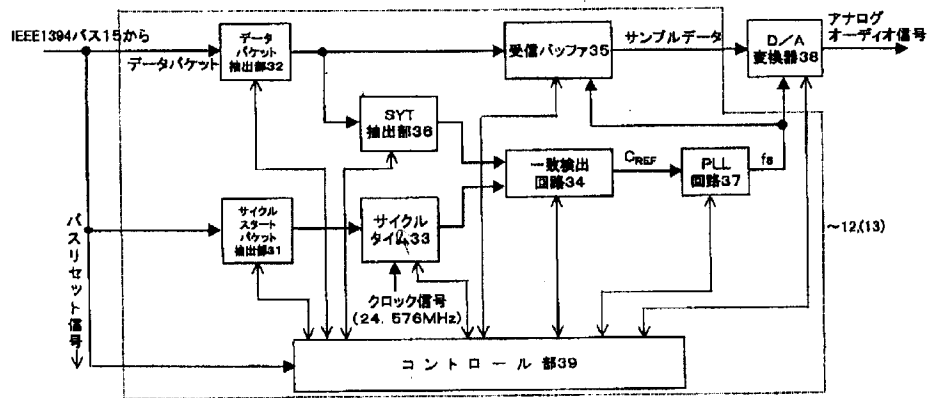


【図26】

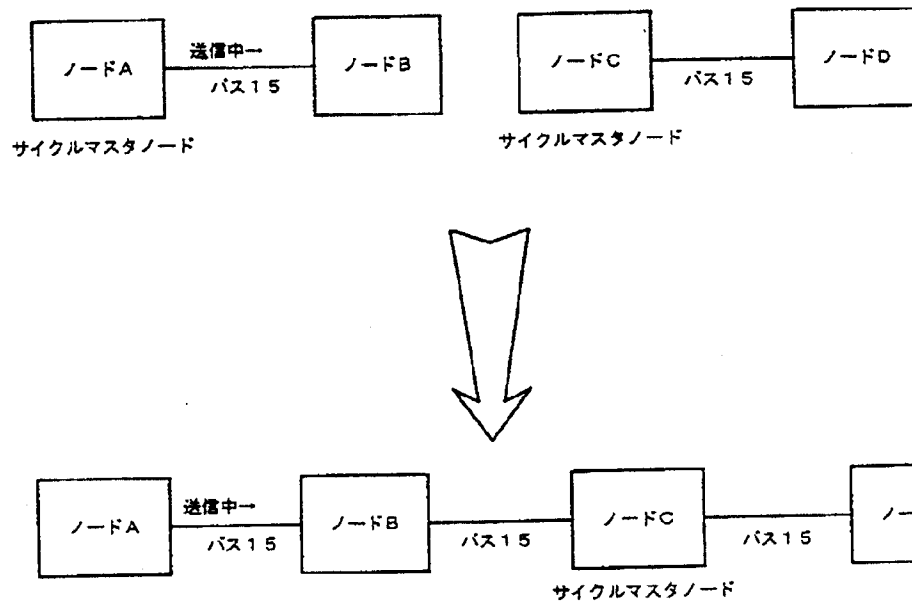
【図10】



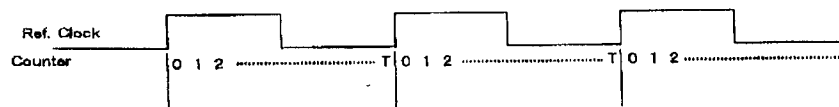
【図11】



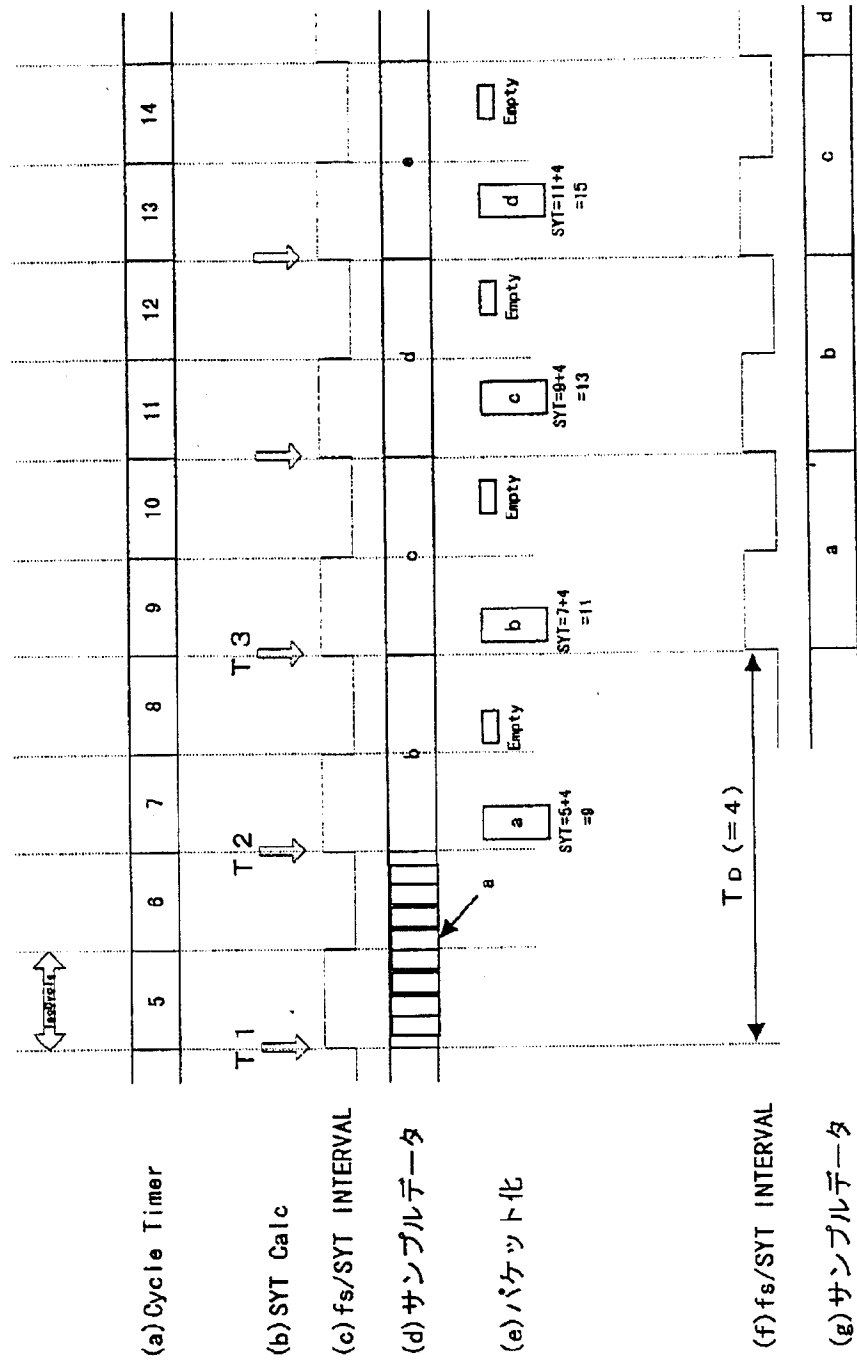
【図13】



【図32】



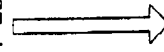
【図 12】



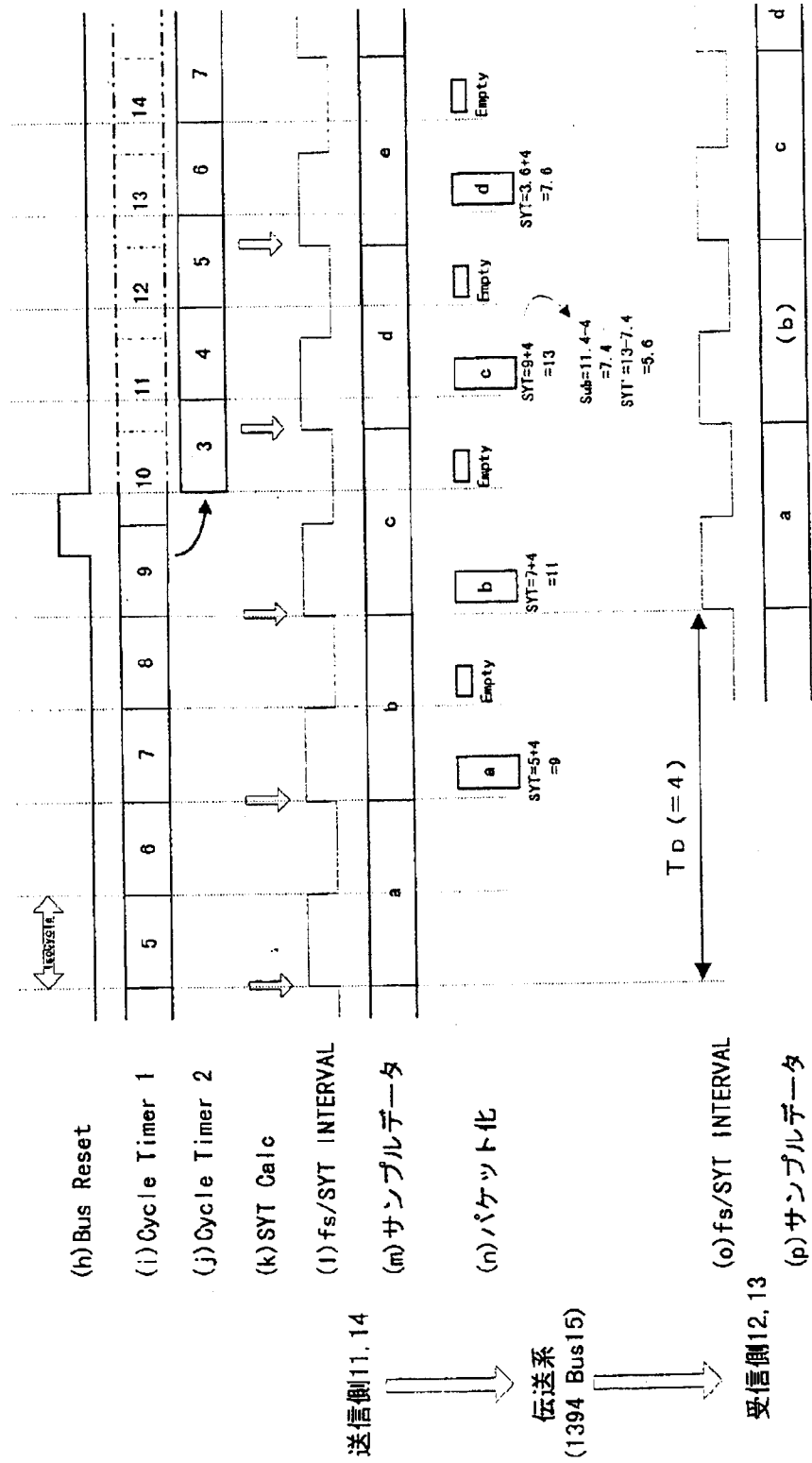
送信側11, 14



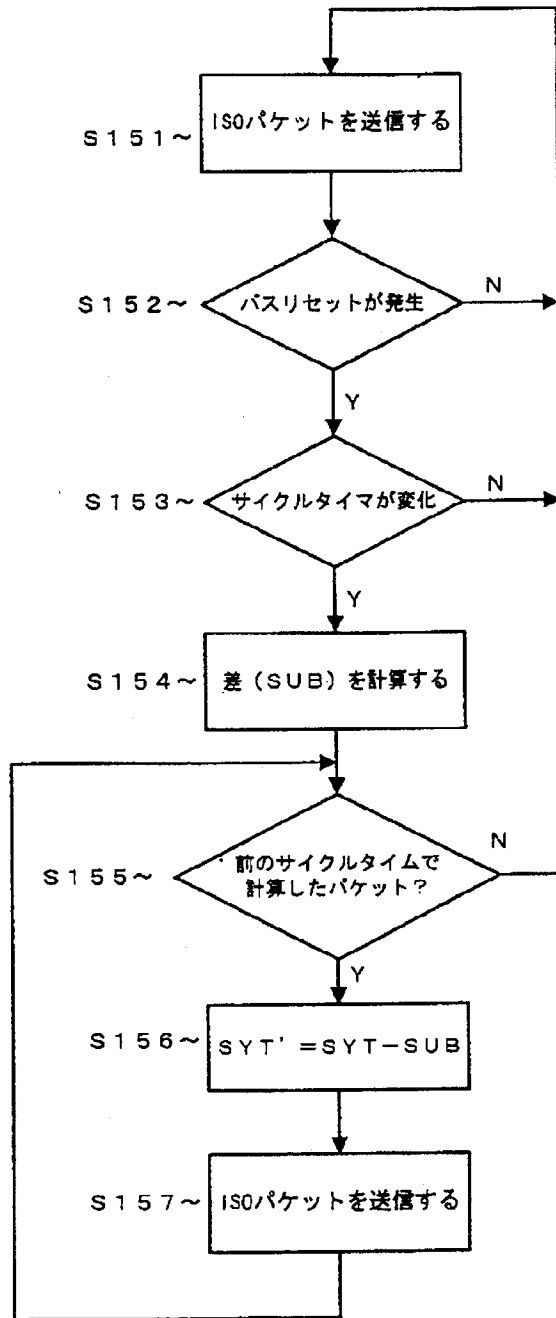
伝送系
(1394 Bus15)



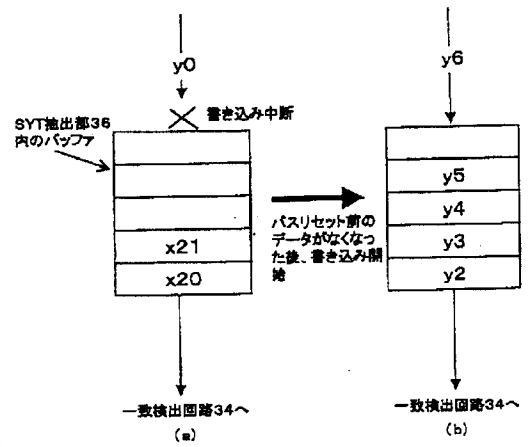
受信側12, 13



【図15】



【図21】



ソース機器から

送信バッファ21

MUX22

判別回路25

IEEE1394/バス15へ

サンプルデータ

タイムスタンプ
タイミング
 $f_s / \text{SYT INTERVAL}$

ラッチ回路24

サイクルタイマ23

レジスタ1

レジスタ2

基準信号(8KHz)

クロック信号(24.576MHz)

バスリセット信号

IEEE1394/バス15から

コントロール部25

SYT書換回路27

差分(SUB)

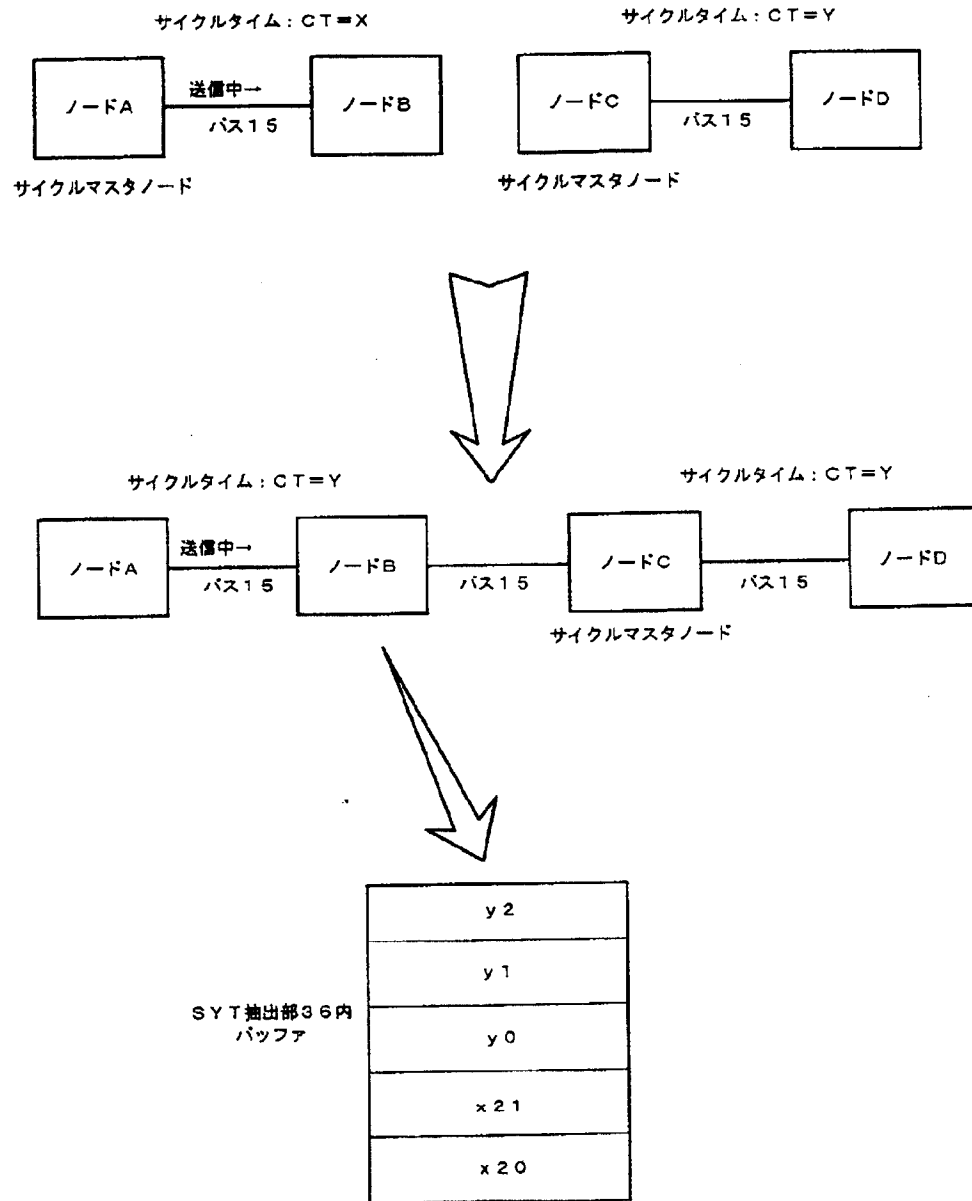
~11,(14)

```
graph TD; START([START]) --> S191{BUSRESET?}; S191 -- N --> S191; S191 -- Y --> S192[Cycle Time Registerの書換]; S192 --> S193[BUFFER CLEAR]; S193 --> S191;
```

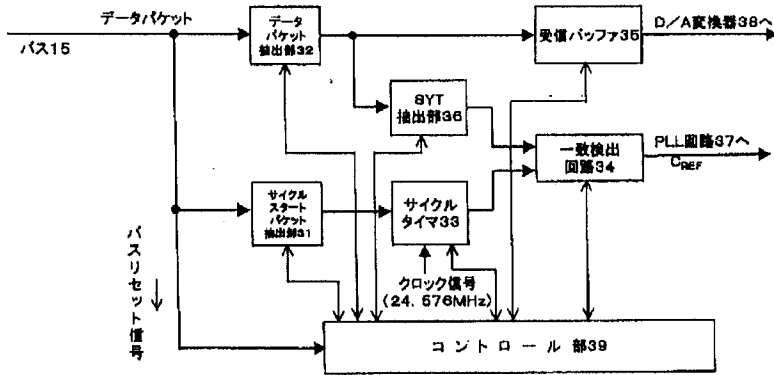
Flowchart illustrating the initial processing (S191~S193) for the first time:

- S191~**: Decision diamond labeled **BUSRESET?**. If **N** (No), the flow loops back to the entry point before the decision. If **Y** (Yes), the flow proceeds to S192.
- S192~**: Process rectangle labeled **Cycle Time Registerの書換** (Cycle Time Register replacement).
- S193~**: Process rectangle labeled **BUFFER CLEAR**.

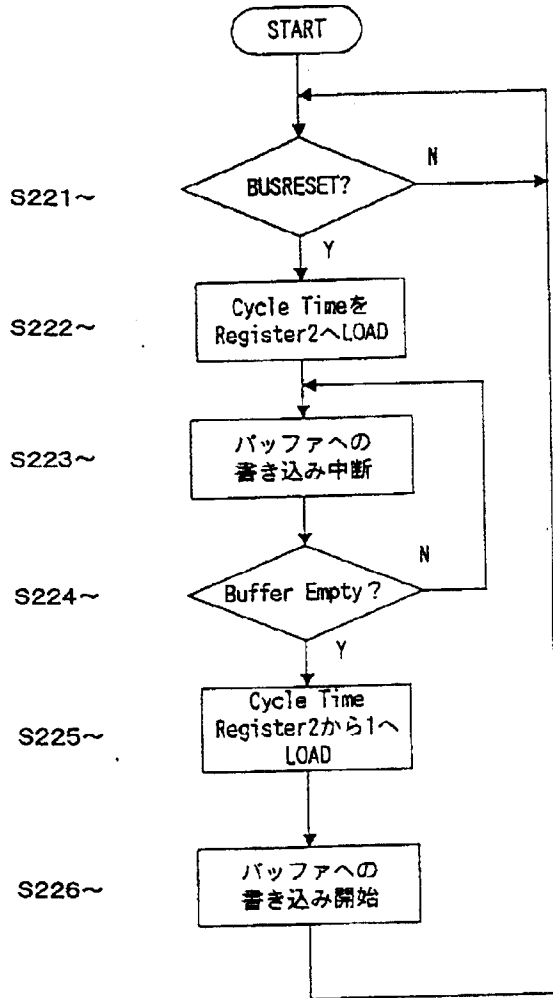
【図17】



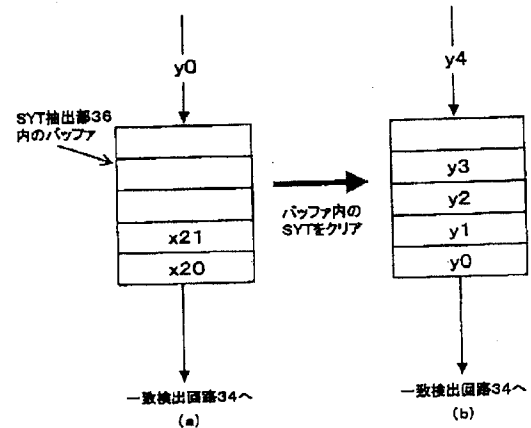
【図20】



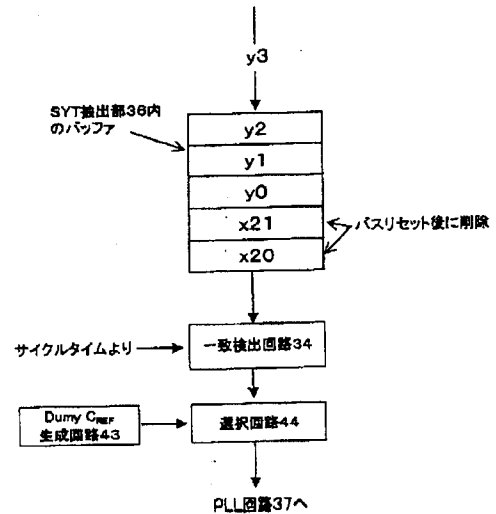
【図22】



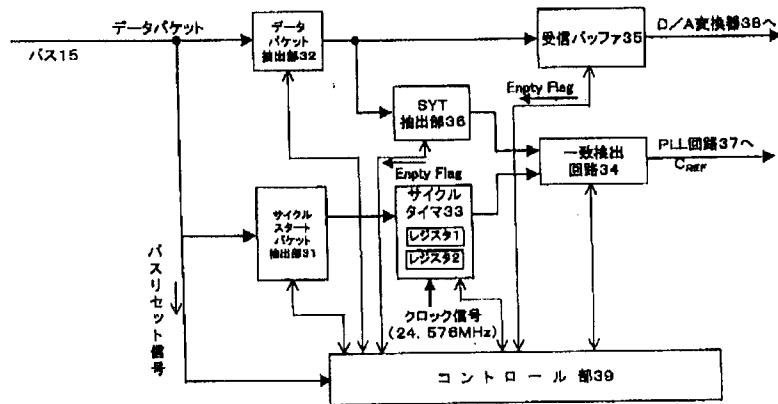
【図24】



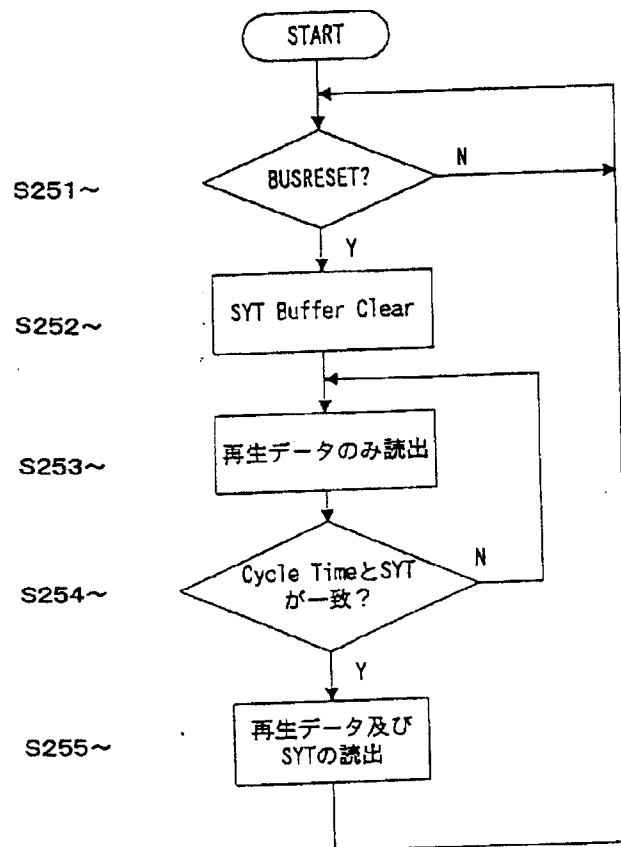
【図29】



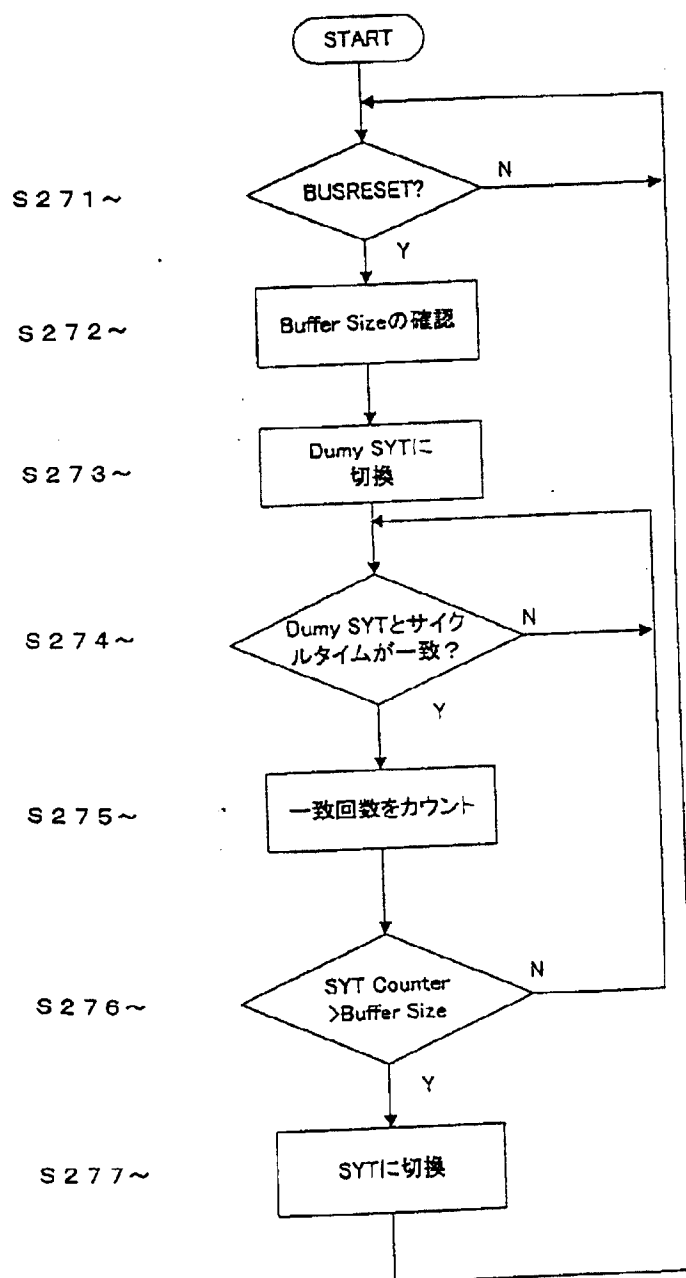
【図23】



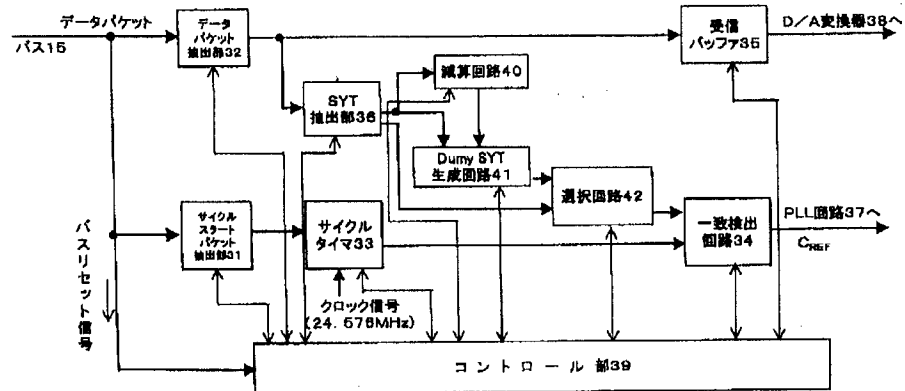
【図25】



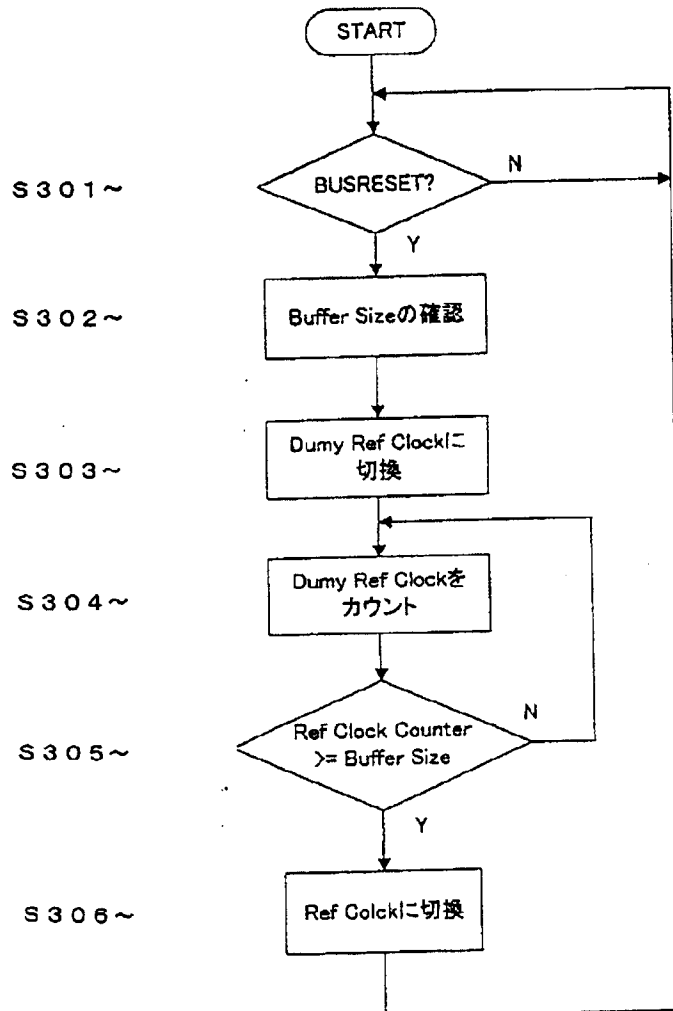
【図27】



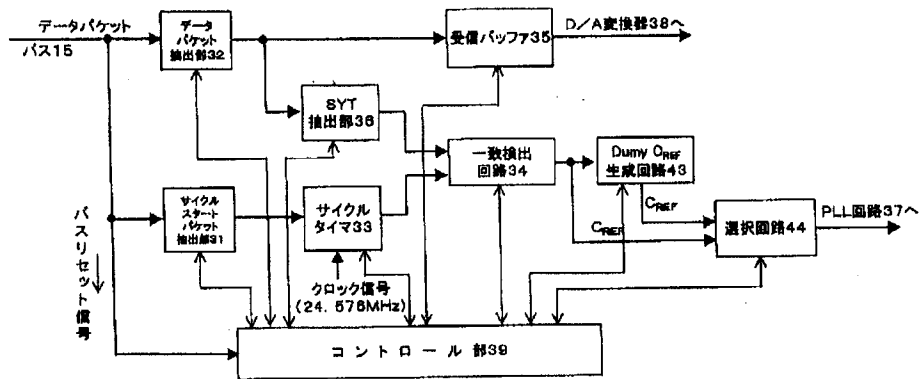
【図28】



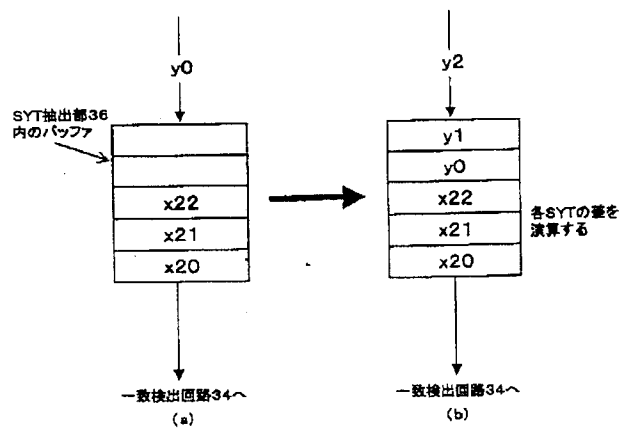
【図30】



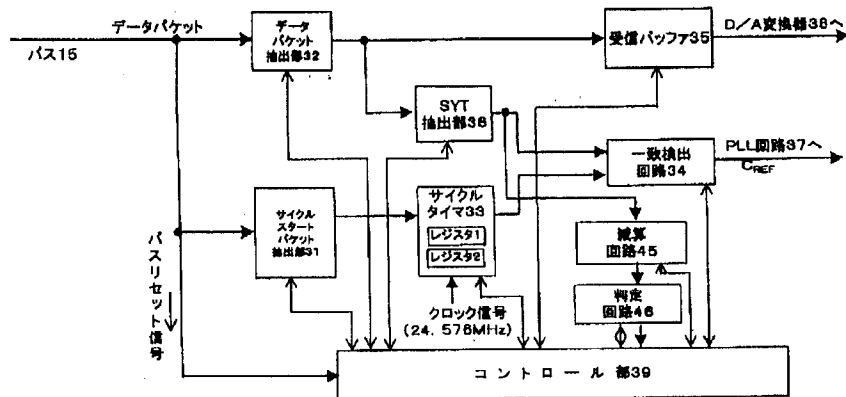
【図31】



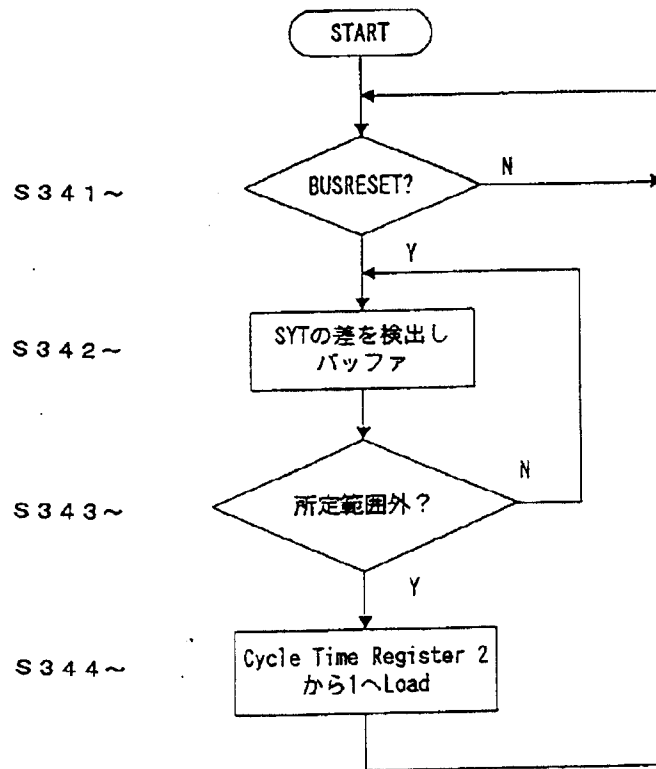
【図33】



【図35】



【図34】



フロントページの続き

(51) Int. Cl. ⁶
// H 0 4 L 7/00

識別記号

F I
H 0 4 N 7/13 Z

(72) 発明者 村越 象
埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内

(72) 発明者 大野 欣哉
埼玉県鶴ヶ島市富士見6丁目1番1号 パ
イオニア株式会社総合研究所内
(72) 発明者 長谷部 誠一
埼玉県所沢市花園4丁目2610番地 パイオ
ニア株式会社所沢工場内